

高密度スピン注入書き込み磁気抵抗ランダムアクセスメモリのためのFe基L10規則合金電極を用いた垂直磁化磁気トンネル接合に関する研究

著者	吉川 将寿
学位授与機関	Tohoku University
学位授与番号	11301乙第9361号
URL	http://hdl.handle.net/10097/00125274

博士学位論文

高密度スピン注入書き込み
磁気抵抗ランダムアクセスメモリのための
Fe 基 L1₀ 規則合金電極を用いた
垂直磁化磁気トンネル接合に関する研究

吉 川 将 寿

目次

第1章 序論.....	1
1.1 半導体メモリの動向.....	1
1.2 新規不揮発性メモリ.....	3
1.3 MRAM の歴史.....	5
1.4 MTJ と高 TMR 化の歴史.....	7
1.5 磁界書き込み MRAM.....	11
1.6 スピン注入書き込み MRAM.....	16
1.6.1 STT 磁化反転の概念と理論.....	16
1.6.2 STT-MRAM セル構造.....	22
1.6.3 STT-MRAM の書き込み・読み出し設計.....	23
1.6.4 STT-MRAM の書き込み電流低減.....	26
1.7 本研究の目的.....	29
第2章 面内磁化方式スピン注入磁化反転の磁気相図の評価.....	31
2.1 はじめに.....	31
2.2 実験方法.....	33
2.3 結果と考察.....	35
2.3.1 面内磁化 MgO-MTJ 素子の STT 磁化反転特性.....	35
2.3.2 R - H 曲線のバイアス電流依存性.....	38
2.3.3 磁気相図 H - I 曲線からみた Back-hopping 発生予測.....	40
2.3.4 磁気相図を用いたジュール熱の影響解析.....	42
2.3.5 Back-hopping 発生の非対称性.....	46
2.3.6 フィールドライクトルクの影響.....	48
2.4 垂直磁化方式の優位性.....	50
2.5 小括.....	56
第3章 $L1_0$ -FePt を用いた垂直磁化 MTJ の高 TMR 化.....	57
3.1 はじめに.....	57
3.2 高結晶磁気異方性 $L1_0$ -FePt 磁性電極材料の選択.....	60
3.3 $L1_0$ -FePt(001)を用いた MgO-MTJ 膜の高 TMR 化コンセプト.....	63
3.4 実験方法.....	70
3.5 結果と考察.....	72
3.5.1 $L1_0$ -FePt/MgO/Fe/ $L1_0$ -FePt-MTJ 膜の結晶構造.....	72

3.5.2	L1 ₀ -FePt/MgO/Fe/L1 ₀ -FePt-MTJ 膜の磁気特性と TMR	75
3.5.3	高温短時間アニールの効果	78
3.5.4	bcc-Fe 界面層膜厚による磁気特性と TMR の変化	80
3.5.5	TMR の記憶層 L1 ₀ -FePt 層膜厚依存性	85
3.5.6	Fe 優先界面の効果	87
3.6	小括	88
第 4 章	L1 ₀ -FePd を用いた垂直磁化 MTJ の低電流スピン注入磁化反転	89
4.1	はじめに	89
4.2	垂直磁化 MTJ の記憶層設計コンセプト	92
4.2.1	L1 ₀ -FePd 記憶層材料の選択	92
4.2.2	CoFeB 界面層を用いた積層記憶層	94
4.2.3	Bottom 記憶層 MTJ 構造	95
4.3	実験方法	99
4.4	結果と考察	101
4.4.1	垂直磁化 L1 ₀ -FePd 膜の低ダンピングの観測	101
4.4.2	CoFeB/L1 ₀ -FePd 膜の磁気特性	103
4.4.3	MTJ 膜結晶構造と MTJ 素子断面構造	105
4.4.4	STT 磁化反転特性	107
4.4.5	<i>H-I</i> 曲線（磁気相図）の検証	111
4.4.6	STT 磁化反転電流効率	113
4.4.7	STT 磁化反転電流と STT 磁化反転電流効率のスケーリング	116
4.5	小括	124
第 5 章	総括	127
参考文献	133
本論文に関する研究業績	147
本論文に関連する登録特許	148
参考：共著論文・共著発表	150
謝辞	153

第 1 章 序論

1.1 半導体メモリの動向

近年、生活の利便性向上を目指したユビキタス社会の実現が唱えられ始め、インターネット環境の整備が急速に進んでいる。スマートフォンやタブレット端末などのモバイル電子機器の開発が急速に進み、普及し始めた。近年のモバイル機器は著しく高性能化し、コンピュータと同等の性能を持つようになっている。このようなモバイル電子機器の発展に伴いソフトウェアの拡充、情報データ量の拡大が必要となり、モバイル電子機器を制御するシステムにおいてメモリの高速化、低消費電力化、大容量化が求められている。一方、クラウド・コンピューティングが普及し始め、多くの端末コンピュータからのアクセスがデータセンターに集中すると共に、個々の端末コンピュータでもデータ通信量やシステムデータ量が急激に増大している。従って、データセンターだけでなくクラウド側の個々の端末などのコンピュータシステムにおいても、メモリの高速化、低消費電力化、大容量化が要求されている。

Fig.1-1 にコンピュータシステムで用いられるメモリの階層構造の模式図を示した[1]。一般的なコンピュータシステムは、演算装置（Arithmetic and Logic unit : ALU）に近い側から、レジスタ（Register）、キャッシュ（Cache）、メインメモリ（Main Memory）、ストレージ（Storage）からなるメモリで階層が構築されている。ALU から下位階層メモリになるにつれて動作速度が遅くなり、記憶容量は大きくなるピラミッド構造である。従来のメモリ階層では、キャッシュメモリには不揮発性の静的ランダムアクセスメモリ（Static Random Access Memory : SRAM）、メインメモリには揮発性の動的ランダムアクセスメモリ（Dynamic Random Access Memory : DRAM）、ストレージにはハードディスクドライブ（Hard Disk Drive : HDD）が用いられてきた。近年のモバイル電子機器が普及する中、メモリの低消費電力化および軽量化が要求されており、不揮発性固体メモリの需要が高まっていた。一方、1990 年代に開発された NAND-Flash メモリは大容量化とコスト低減が急速に進み普及し始めていた。このような状況の中、モバイル製品のストレージとして用いられていた小型 HDD は、NAND-フラッシュメモリ（NAND-Flash メモリ）を記憶媒体にしたソリッドステートドライブ（Solid State Drive : SSD）に置き換えられ始めている。

一方、メインメモリとして用いられている DRAM も大容量化・微細化が進んでいる。これまでの半導体メモリの開発は「18 ヶ月に 2 倍の速度でトランジスタ数が増大する」というムーアの法則に従い微細化開発が進められてきた。DRAM も同様に微細化が進んでいる。DRAM はキャパシタ部に電荷を蓄積して情報の保持を行なうが、電荷は長

時間蓄積できないために情報保持のための再書き込みを行なう。これをリフレッシュ動作という。DRAM のキャパシタ部は微細化が進むにつれて、リーク電流が増大し電荷の蓄積が困難となり、頻繁にリフレッシュ動作が必要になる。これにより、消費電力が増大するという課題を有している。このまま DRAM の微細化が進めば、電荷蓄積が不可能となることも考えられ、微細化限界も議論され始めている。従って、リフレッシュ動作が不要で、DRAM と同等な動作速度、大容量、高密度微細セルを有する不揮発性 RAM の必要性が高まっている。さらに、DRAM 代替の不揮発性メモリが完成すれば、現在キャッシュメモリで使用されている不揮発性 RAM である SRAM の一部も代替できることになり、モバイルシステムのさらなる低消費電力化、小型化が可能となる。今後、モバイル機器の開発が加速するにつれて、取り扱う情報データ量は拡大し、コンピュータシステムの高速化、低消費電力化がさらに求められる。同時にメモリの高速化、低消費電力化も要求されることは間違いなく、新規不揮発性メモリに対する期待は高まっている。

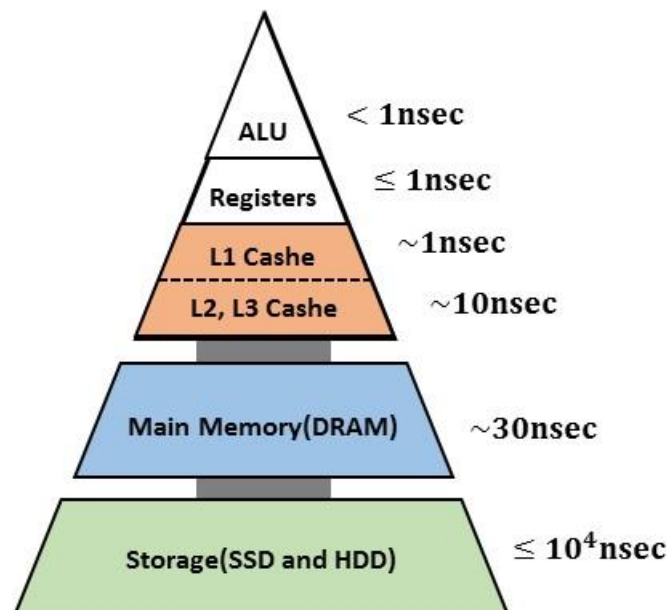


Fig.1-1 メモリ階層構造の模式図[1].

1.2 新規不揮発性メモリ

前節で述べたように、情報データ量の増大によりコンピュータシステムで使用されるメモリにも高速化、低消費電力化、大容量化が要求されている。特に、DRAMは消費電力の増大が顕著であり、微細化限界も見えてきているため、DRAMを超える低消費電力、大容量、高速動作が可能な新規不揮発性メモリが求められている。このような中、現在いくつかの新規不揮発性メモリが提案され開発されている。代表的な新規不揮発性メモリとして、磁気抵抗ランダムアクセスメモリ（Magnetoresistive Random Access Memory : MRAM）、強誘電体ランダムアクセスメモリ（Ferro-Electric Random Access Memory : FeRAM）、相変化型ランダムアクセスメモリ（Phase Change Random Access Memory : PCRAM）、抵抗変化型ランダムアクセスメモリ（Resistive Random Access Memory : ReRAM）等が挙げられる。Table 1-1に各種新規不揮発性メモリと既存メモリであるSRAM、DRAM、Flashメモリの特性比較を示した[2][3][4][5]。Table 1-1から各種メモリはそれぞれの特徴があることが分かる。

ここで、FeRAM、PCRAM、ReRAMについて簡単に説明する。MRAMについての詳細については、次節以降で詳細に説明する。FeRAMは強誘電体の誘電分極を用いて情報の記憶を行うメモリであり、低電圧・低消費電力・高速書き込み・読み出し耐性などに優れている。しかしながら、FeRAMは微細化に伴い強誘電体の誘電分極率が低下するという問題が明らかになっている。PCRAMは相変化膜の結晶構造に起因した抵抗差を用いて情報の記憶を行う。記憶層材料にはカルコゲナイトと呼ばれるGeSbTe材料などが用いられる。PCRAMは、大容量化が比較的容易だと考えられているが、書き込み耐性が低く、動作速度はDRAMと比べると一桁以上遅いという課題がある。ReRAMは抵抗変化メモリの一つであるが、その動作原理は明らかではない。現在、フィラメント型や界面電荷型の二つのモデルが提唱されている。ReRAMは動作速度、セルサイズ微細化、消費電力は優れていると考えられており、今後の大容量展開が期待されている。しかしながら、PCRAMと同様に書き込み耐性や動作速度ではDRAMには及ばず、メインメモリとしては使用できない。

このようにいくつかの新規不揮発メモリの開発が進む中、MRAMは磁性体からなる記憶素子を用いた唯一のデバイス動作上の無限（ 1×10^{15} 回以上）の書き換え耐性（Edurance）を有する新規不揮発性メモリである。磁性体の高速磁化反転による高速動作、HDDなどで証明されている高いデータ保持能力を有すると考えられおり、DRAM代替の可能性のある最も有望な新規不揮発性メモリとして認識されている。近年、MRAMは新規技術であるスピン注入書き込み（Spin Transfer Torque : STT）技術が導入され、従来の磁界書き込み方式のMRAMからスケージングが大幅に改善された。この新規MRAMのことをSTT-MRAMという。STT-MRAMは、DRAMを代替できる可能性がある唯一の不揮発性メモリとして期待されている。

Table 1-1 既存メモリと新規メモリの特性[2][3][4][5]

	SRAM	DRAM	FLASH		STT-MRAM	FeRAM	RRAM	PRAM
			NOR	NAND				
Cell size	$>100F^2$	$6\sim 8F^2$	$\sim 10F^2$	$<4F^2(3D)$	$6\sim 50F^2$	$>20F^2$	$4\sim 12F^2$	$4\sim 30F^2$
Nonvolatility	No	No	Yes	Yes	Yes	Yes	Yes	Yes
Retention	N/A	>64 ms	>10 years	>10 years	>10 years	>10 years	>10 years	>10 years
Read time	~ 1 ns	~ 10 ns	~ 50 ns	~ 10 μ s	$2\sim 30$ ns	~ 50 ns	~ 10 ns	~ 10 ns
Write time	~ 1 ns	~ 10 ns	10 μ s ~ 1 ms	100 μ s ~ 1 ms	$2\sim 30$ ns	~ 50 ns	$10\sim 100$ ns	~ 200 ns
Endurance	$>1E^{16}$	$>1E^{16}$	$>1E^5$	$>1E^4$	$>1E^{15}$	$>1E^{14}$	$>1E^{12}$	$>1E^{12}$
Write/Standby power	Medium /High	Medium /Medium	High /Low	High /Low	Medium /Low	Medium /Low	Medium /Low	Medium /Low

1.3 MRAM の歴史

MRAM 開発の歴史は古く、磁気メモリまで遡る。磁気メモリはコンピュータの発展に寄与してきた。磁気メモリは 1950 年ごろから磁気コアメモリとして実用化され、大型計算機のメモリとして使用されていた。磁気コアメモリではデータ書き込みにも読み出しにも電磁変換を利用していた。その後、半導体メモリが開発され、磁気コアメモリは駆逐されて表舞台から姿を消すことになる。

一方、磁性薄膜メモリの研究は、1980 年代から提案されて研究が進められてきた。磁性薄膜メモリは、最初に軍事用と宇宙航空システム用に実用化された。最初に実用化されたのは、異方性磁気抵抗（Anisotropic Magneto-Resistive : AMR）効果を用いた磁気メモリ[6]である。しかしながら、Metal Oxide（MOS-FET）を使った半導体メモリを置き換えるまでには至らなかった。磁性薄膜メモリにとっての転機は 1988 年に Fert らと Grünberg らにより個々で発見された Fe/Cr 系多層膜での巨大磁気抵抗効果 GMR (Giant Magneto-Resistance) の発見[7][8]である。この発見を契機に GMR デバイスの研究が一機に加速することになる。GMR の発見後、Deiny らによりスピバルブ型 GMR の概念[9][10]が生み出され、1990 年代のハードディスクドライブの GMR リードヘッドの実用化に発展する。一方、GMR 素子を用いた磁性薄膜メモリは 1988 年に Daughton により初めて提案された[11]。この磁気メモリが MRAM の原型である。1990 年代には米国 Haneywell 社が GMR 素子を用いた 1 Mbits-MRAM の実用化に成功した。用途は軍事・航空宇宙システムに限定されたものであった。これは磁性体が宇宙線や放射線に対する耐性が優れていたためである。この GMR 素子を用いた MRAM は磁界書き込み型 MRAM の原型になっており、直交するビット線とワード線からの電流磁界を用い、アステロイド曲線を利用してデータを書き込み、データ読み出しには GMR 効果による抵抗変化を利用した。しかしながら、GMR 素子は全て金属から成る素子のため素子抵抗が低く、GMR 比が $\sim 5\%$ と小さかった。このためメモリセル選択トランジスタと GMR 素子を直列的に接続せざるを得ない MRAM アーキテクチャーでは、GMR 素子抵抗が低いために、メモリセルの情報読み出しの際の電圧出力が小さく S/N 比が低下してしまう。十分な S/N 比を得るためアクセスタイムが長くなり、消費電力が大きくなってしまいうという問題があった。このデータ読み出し時の問題を解決できる技術として出現したのがトンネル磁気抵抗（Tunneling Magneto-Resistance : TMR）効果である。1975 年に Julliere により磁気トンネル接合（Magnetic Tunnel Junction : MTJ）での TMR 効果が観測され[12]、その後 1995 年に Miyazaki ら[13][14]と Moodera ら[14]が Al-O バリア層を有する MTJ において、10%を超える室温 TMR の観測に成功した。この観測の成功により MTJ が脚光を浴びることになる。Al-O バリア層 MTJ の登場により、GMR を用いた MRAM 設計で問題であったトランジスタとの抵抗のミスマッチの問題は解決することになり、米国を中心に開発は加速されることになる。2000 年、2001 年の International

Solid-State Circuits Conference (ISSCC) で、IBM [15] と Motorola [16] が、それぞれ 1 Kbits アレイ、512 bits MRAM アレイの動作検証結果を発表し、MRAM が半導体メモリの業界にも認識されるようになった。その後、MTJ と上述した磁化アステロイド曲線を利用した配線電流書き込み MRAM (アステロイド MRAM と呼ばれる) の開発は進んだ。しかしながら、アステロイド MRAM ではワード線による半選択問題と MTJ の磁化反転ばらつき制御などの課題が浮き彫りとなる。そのような状況の中、Freescale 社(現, EverSpin 社) の Savtchenko ら[17]は、反強磁性結合した磁性層/非磁性層/磁性層の積層構造を有する記憶層を用いた MTJ による新規書き込み方式「トグル (Toggle) 書き込み方式」を発明した。その後、トグル書き込み方式を用いた Toggle-MRAM が発表され[18]、2006 年に米国 Freescale 社は量産開始を発表した。しかしながら、Toggle-MRAM を含む従来型の磁界書き込み MRAM には記憶容量の制約があり、最大容量品が 16 Mbit に留まっていた。従来型 MRAM は、配線電流による磁界を発生させて MTJ 素子の記憶層の「磁化の方向」を切り替え、それによって論理データを記憶する。Toggle-MRAM 含めた従来型 MRAM の書き込み動作には一定の大きさの磁界が必要であるが、メモリセルを微細化すると配線の細線化も進むため電流が流せなくなり電流磁界は小さくなってしまふ。このため微細化による高密度化が難しく、記憶容量は DRAM に遠く及ばなかった。そのような中、1996 年に理論が報告され[19][20]、研究開発が進んでいたスピン注入磁化反転現象を新しい書き込み技術として利用した STT-MRAM が脚光を浴びるようになる。スピン注入磁化反転現象は当初は GMR 素子を用いて研究が進められ、その後 Al-O を用いた MTJ 素子で研究が進められた。2001 年になり、Butler ら[21]と Mathon ら[22]により MgO バリア層を用いた MTJ における 1000 %を越える TMR 比が理論的に予測された。その後、2004 年には Yuasa ら[23]と Parkin ら[24]により MgO バリア層を用いた MTJ 素子で 100 %を超える大きな TMR 比が実験的に観測された。これらの報告により、STT-MRAM の開発は加速することになる。

1.4 MTJ と高 TMR 化の歴史

MRAM の中でキー技術となる MTJ の高 TMR 化開発の背景について説明する．磁気トンネル接合 MTJ は強磁性層/絶縁バリア層/強磁性層から構成される．その研究の歴史は古く，1975 年に Julliere らにより Fe/Ge-O/Co 系 MTJ により 4.2 K で約 14 % の TMR が観測されたところまで遡る[12]．Julliere らは，TMR について，Fig.1-2 で示すような簡単な理論モデルを提唱した．このモデルは現在も TMR 効果の説明に頻繁に用いられている．Julliere らのモデルでは，磁性層 1 と磁性層 2 とそれらに挟まれるトンネルバリア層からなるトンネル接合を考え，電子のトンネル過程でスピンはその向きを変えずに保存すると仮定する．すなわち，↑（アップ）スピン電子と↓（ダウン）スピン電子はそれぞれ同じ状態に移る．磁性層 1 と磁性層 2 が平行磁化状態（Parallel state : P）と反平行状態（Anit-Parallel state : AP）で電子のトンネル確率が変化し，トンネル抵抗が変化する．この抵抗変化率のことをトンネル磁気抵抗比（TMR 比）と呼ぶ．Julliere らの TMR モデルでは電子総量で TMR が定義され，後になり Julliere らのモデルを基に状態密度と分極率を用いて TMR が記述されるようになった．強磁性電極のスピン分極率 P_i ($i = 1, 2$) を用いて TMR 比は次の式で与えられる[12]．

$$TMR = \frac{R_{AP} - R_P}{R_P} = \frac{2P_1P_2}{1 - P_1P_2} \quad (1-1)$$

$$P_\alpha = \frac{D_{\alpha\uparrow}(E_F) - D_{\alpha\downarrow}(E_F)}{D_{\alpha\uparrow}(E_F) + D_{\alpha\downarrow}(E_F)}, (\alpha = 1, 2) \quad (1-2)$$

ここで， P はスピン分極率であり，磁性電極材料のフェルミエネルギー E_F におけるマジョリティーバンドの状態密度 D_\uparrow とマイノリティーバンドの状態密度 D_\downarrow によって定義される．Julliere のモデルにおいて，TMR は磁性電極材料の分極率が非常に重要となる．自発磁化を有する強磁性体元素には Fe, Co, Ni, Gd があり，それぞれのバルク bcc-Fe, hcp-Co, fcc-Ni, fcc-Gd でのスピン分極率は実験的にも理論的にも導出されており，それぞれ 0.4, 0.35, 0.23, 0.14 である[25]．Fe, Co, Ni のスレーターポーリング則を考えた場合，ハーフメタル材料を除いて，磁生体材料分極率が 0.5 を大きく超えることはない．Julliere の式(1-1)を用いて， $P_1 = P_2 = 0.5$ を仮定した場合の TMR を計算すると TMR~66.7 % となり，100 % を超えるような TMR 比は予想されなかった．

Fig.1-3 に Julliere 以後の MTJ 研究開発における室温 TMR 改善の歴史を示した．当初室温での TMR の観測は困難であったが，1991 年に Miyazaki らにより Al-O バリア層を用いた MTJ で室温 TMR~2.7 % が初めて報告された[26]．その後，1995 年に Miyazaki らにより大きな室温 TMR~18 % が観測された[13]．同年に独立に Moodera らによっても TMR~11.5 %

が報告された[14]. これらの大きな室温TMRの報告によりMRAMへのMTJ適用が注目されるようになる. その後, Al-Oトンネルバリア層を用いたMTJの高TMR化は進んでいく[27][28][29][30][31][32][33][34][35][36]. しかしながら, Al-Oバリア層を用いたMTJにおける室温TMRは, Wangら[37]による81 %が最大値であり, その後100 %を上回ることができなかった. これは, 前述したJulliereの理論から予想される通りの結果である. その後, Butlerら[21][38]とMathonら[22]によりFe/MgO/Fe(001)の積層構造を有するMTJの Δ_1 バンド起因のコヒーレントトンネルによる1000 %を超える巨大なTMRが理論的に予測された. Fig.1-4にAl-Oトンネルバリア層とMgO(001)トンネルバリア層の違いの模式図を示した. アモルファスAl-Oトンネルバリアでは界面やトンネルバリア内の原子配列の乱れなどにより原子構造の対称性が低下し, 全ての電子状態の電子が有限の確率で混ざり合いながらトンネル伝導する. 一方, MgO(001)トンネルバリアは対称性の高い結晶構造を持つため, Δ_1 電子のみがスピン状態を保存されたままトンネル伝導することができる. この Δ_1 電子が支配的にトンネル伝導するコヒーレントトンネルにより巨大なTMRが発現する. この画期的な理論報告の後, 高TMR化へむけた実験的検証が本格的にスタートする. しかしながら, 当初のFe/MgO(001)/Fe-MTJのTMR検証では100 %を超える巨大なTMRは観測されなかった[39][40]. 2004年初旬にYuasaら[41]によりMgOバリア層を用いたMTJのTMRが報告されたが, TMR~88 %と100 %を超えるに至らず, Δ_1 バンドによるコヒーレントトンネルによる高TMRは得られたとは言い難い状況であった. そして2004年後半, Parkinら[24]とYuasaら[23]はそれぞれ独立に100 %を大きく上回るTMRを有するMgO(001)バリア層を用いたMTJの作製に成功した. Yuasaらは, 分子線エピタキシー (Molecular Beam Epitaxy : MBE) 法で単結晶基板上に形成したFe(001)/MgO(001)/Fe(001)のエピタキシャル成長単結晶膜を用い清浄なMgO/Fe界面の形成を実現し高TMRを得た. さらに, Fe/MgO界面での格子整合により巨大なTMRが得られたことを明らかにした[23]. 一方, ParkinらはFeCo(001)/MgO(001)/FeCo(001)-MTJを実用的なDCマグネトロンスパッタ法を用いて形成し, (001)配向の多結晶構造FeCo/MgO/FeCo-MTJで高TMR化を実現した[24]. これらの結果を契機にMgO(001)バリア層を用いたMTJの高TMRは注目を浴びるようになる. 続いて2006年にはamorphous-CoFeB/MgO/amorphous-CoFeB-MTJによるTMR ~ 230 %が観測された[42][46]. amorphous-CoFeB膜は形成が容易であり, さらにamorphous-CoFeB上でMgOは容易に(001)配向することが見出されたことから, MgO(001)を用いたMTJの実用化開発が一機に加速した. ここから, 熾烈な高TMR競争が始まることになった. 2006年にYuasaら[43]がbcc-Co(001)とMgO(001)を用いたMTJによるTMR~410 %の観測を報告し, 次にHayakawaらによりCoFeB/MgO/CoFeB-MTJにより400 %を越えるTMRが次々に報告され[44][45], MgOバリア層を用いたMTJによる高TMR化競争が激化した. 2008年, Ikedaら[46]によりTa/CoFeB/MgO/CoFeB/Ta積層構造のPseudo-MTJ素子を用い, 500 °C-1時間という高温長時間アニールを施すことで, MgO/amorphous-CoFeB界面でのamorphous-CoFeB再結晶化

を促進し、室温でTMR~604 %, 極低温4.2 KでTMR~1050 %という世界最高のTMRの観測に成功した. このTMRはButlerやMathonらが理論的に予想したTMRに近い値であり[21][22], 理論値をほぼ達成したと考えられている. この報告以後, MgOバリア層を用いた面内磁化MTJの高TMR化競争も一段落している.

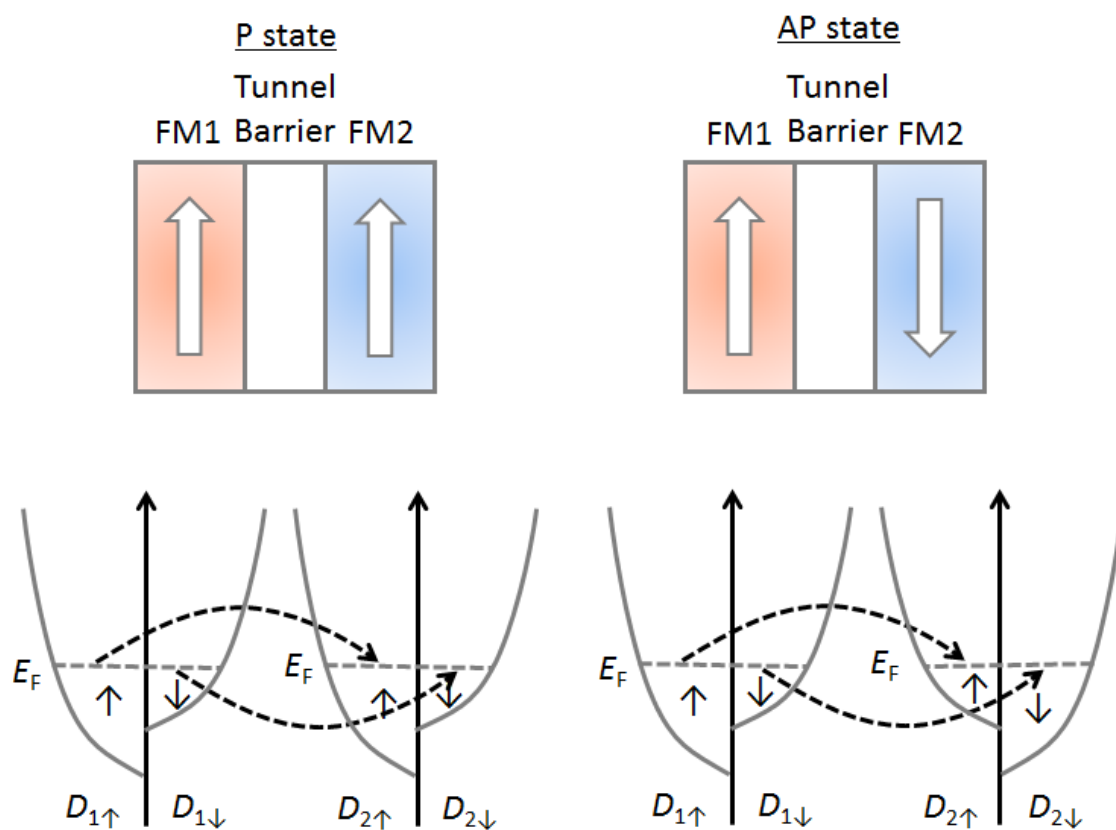


Fig.1-2 トンネル磁気抵抗効果の概念を示した模式図[12].

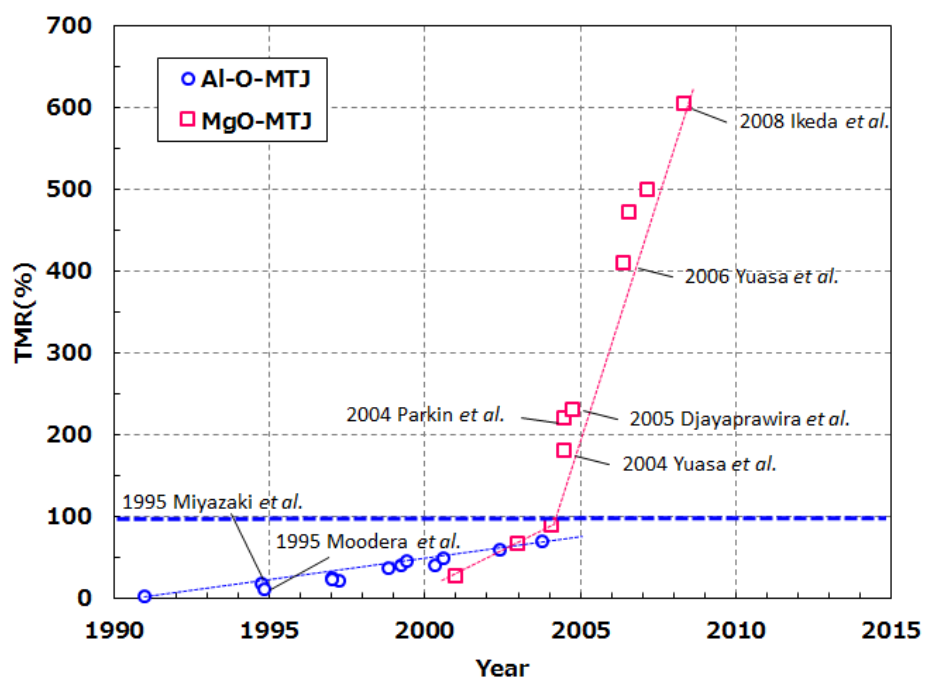


Fig.1-3 面内磁化 MTJ の TMR 開発の歴史.

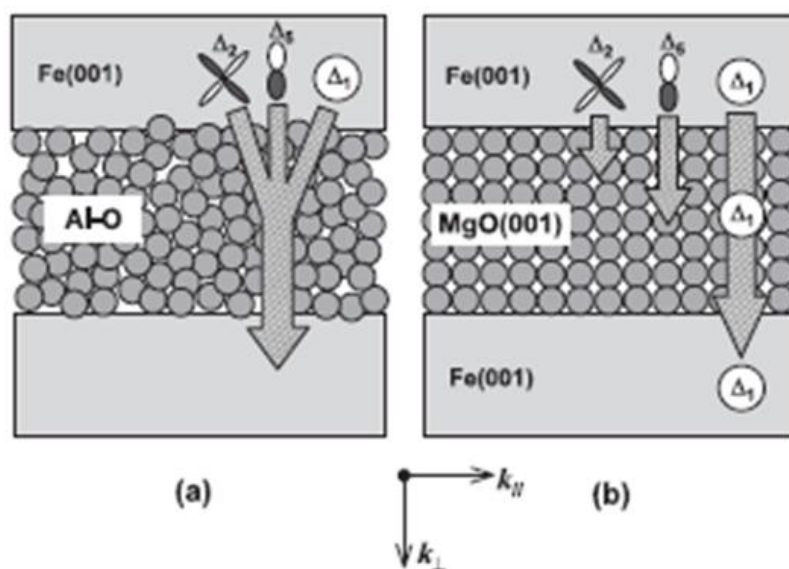


Fig.1-4 MTJ のトンネル伝導の概念を示した模式図[47]. (a) Al-O トンネルバリア層を有する Fe/Al-O/Fe-MTJ, (b) MgO(001)トンネルバリア層を有する Fe/MgO/Fe-MTJ.

1.5 磁界書き込み MRAM

Al-O トンネルバリア層を用いた MTJ の室温での高 TMR が観測されて以降、磁界書き込み MRAM の開発が加速した[15][16][48][49][50]。Fig.1-5 に従来型の磁界書き込み MRAM のセル模式図を示した。従来型 MRAM では、面内磁化を有する MTJ が用いられ、直交するビット線とワード線の間に MTJ が配置される。MTJ はセル選択トランジスタ (Selection Transistor) に電氣的に直列に接続され読み出される。書き込み時には、前述したビット線と書き込み専用ワード線 (Word Line : WL) が用いられる。読み出しと書き込みの配線系統が別系統となるため、書き込み動作と読み出し動作の干渉はない。しかしながら、書き込み専用 WL が必要となるためセル構造は複雑となる。

まず、MRAM の読み出し方式について説明する。Fig.1-6 に従来型 MRAM における面内磁化 MTJ 素子の読み出し方式の模式図を示した。前述したように MTJ 素子は、セル選択トランジスタに電氣的に接続される。読み出し時には MTJ の TMR 効果を用い、MTJ の抵抗の大小により情報を読み出す。ここで、MTJ 素子は磁化方向が固着された参照層と、磁化方向が可変であると記憶層の磁化方向の相対的關係により抵抗が決まる。参照層と記憶層が平行磁化状態の時は低抵抗となり、反平行磁化状態の時は高抵抗となる。それぞれの状態を“0”データと“1”データとして識別する。読み出し方式については、従来型 MRAM も後述する STT-MRAM も共通の原理に従う。

次に、磁界書き込み MRAM の配線電流磁界を用いた書き込み方式を説明する。Fig.1-5 には配線電流磁界を破線の矢印で示した。従来型の磁界書き込み MRAM では、ワード線からの電流磁界を MTJ 記憶層の磁化困難軸方向に印加する。同時に、ビット線により磁化容易軸方向に電流磁界を印加し、ワード線とビット線のクロスポイントにある MTJ 素子が選択され、選択された MTJ の記憶層の磁化のみが反転することで情報を書き込む。この時、MTJ 素子記憶層のアステロイド曲線を利用する。Fig.1-7 に Stoner-Wohlfarth モデル (マクロスピンモデル) に従う場合の MTJ 記憶層の磁化反転のアステロイド曲線を示した。このアステロイド曲線に基づいた記憶層磁化反転特性を利用することで、ワード線とビット線のそれぞれの電流を小さくすると同時に、選択された MTJ 素子だけに書き込むことができるようになる。前述したように磁界書き込み MRAM ではまずワード線に電流を流し MTJ に磁界を印加するが、この時電流を流しているワード線に選択される MTJ に電流磁界が印加される。このワード線からの電流磁界が印加された状態を“半選択状態”と呼ぶ。半選択状態では、MTJ の記憶層の磁化困難軸方向 (MTJ 短辺方向) に磁界が印加されているため、磁化容易軸方向の MTJ 素子の記憶層の磁気異方性エネルギーが低下し不安定な状態となる。この半選択状態がアステロイド方式の磁界書き込み MRAM (以下、Astroid-MRAM) の書き込み時の最大の課題であった。この半選択状態を回避する新しい書き込み方式として、トグル (Toggle) 方式[17][18]が提案された。トグル式書き込み方式について詳細説明はここでは省略す

る．トグル方式の磁界書き込み MRAM（以下，Toggle-MRAM）では、Ru を挟んで反強磁性結合した 2 層の磁性層から構成される記憶層を用い、2 層の磁性層がスピントロニクスすることにより記憶層が磁化反転する．ワード線とビット線からの電流磁界を用いるという点は Astroid-MRAM と同じであるが、それぞれの電流磁界印加のタイミングと方向が Astroid-MRAM とは異なる．Toggle-MRAM ではワード線からの電流磁界は MTJ に印加されるが、MTJ 記憶層の磁気異方性エネルギーは低下せず、Astroid-MRAM で起こる書き込み時の半選択状態は発生しない．しかしながら、前述したように 2 本の配線からの合成電流磁界で書き込みを行うという点では Astroid-MRAM と Toggle-MRAM は共通しており、配線線幅微細化による電流磁界の低下および MTJ 微細化に伴う必要書き込み電流の増大という観点では同じであった．以下では Astroid-MRAM をモチーフにして磁界書き込み MRAM の課題である低電流化について説明する．Astroid-MRAM では、前述したように磁化容易軸と磁化困難軸に印加する配線電流磁界を制御することで書き込みを行う．Fig.1-7 に示したように、MTJ 記憶層がマクロスピントロニクスモデルに従い一斉磁化反転する場合には、アステロイド曲線は理論的に $H_{BL}^{2/3} + H_{WL}^{2/3} = H_k^{2/3}$ の関係を有する．ここで、 H_{BL} がビット線からの電流磁界、 H_{WL} がワード線からの電流磁界、 H_k は MTJ 記憶層の磁気異方性磁界を示す．前述したように Astroid-MRAM では記憶層の磁化反転アステロイド曲線を利用して、ワード線およびビット線からの合成電流磁界により書き込みを行う．Fig.1-7 には MTJ 素子の磁化反転ポイント（Switching Point : SP）と実際の Astroid-MRAM デバイスでの書き込みポイント（Writing Point : WP）を模式的に示している．SP および WP はそれぞれ記憶層の保磁力 H_c で規格化された数値で表される．WP は実際のデバイスでのビット毎のばらつきまで考慮した合成磁界ポイントである．SP はマクロスピントロニクスモデルにおける理論的磁界であり $SP \sim 1/3$ となる．Astroid-MRAM では、WP をいかに SP に近づけて配線電流磁界の低減を図り、配線電流を低減できるかが重要となる．

一方、MRAM は不揮発性メモリである．従って、情報保持のための記憶層の熱安定性エネルギー（磁気異方性エネルギー） ΔE は熱による擾乱（熱擾乱）に耐えるために十分に大きい必要がある．これまで開発されてきた磁界書き込み MRAM では、面内磁化 MTJ が用いられてきた．この理由は磁気異方性の制御性および磁性膜の成膜プロセスが容易だからである．面内磁化方式では第 2 章でも後述するが、MTJ 記憶層の形状に起因した形状異方性が用いられる．

一般に、記憶層の熱安定性エネルギー ΔE は下記で表される．

$$\Delta E = \Delta k_B T = K_u V = \frac{H_k M_s V}{2} \quad (1-3)$$

ここで、 k_B はボルツマン定数、 T は温度、 K_u は MTJ 記憶層の磁気異方性エネルギー密度、 V は MTJ 記憶層体積、 H_k は MTJ 記憶層の異方性磁界、 M_s は MTJ 記憶層の飽和磁化、 S は MTJ 記憶層面積、 t は MTJ 記憶層膜厚である。 Δ は MTJ 記憶層の熱安定性エネルギー因子であり、 $\Delta = K_u V / k_B T$ である。 また、面内磁化 MTJ 記憶層の磁化反転がマクロスピンモデルに従うと仮定すると、記憶層の磁気異方性磁界 H_k は $H_k \sim H_c$ として扱うことができる。従って、記憶層の保磁力 H_c は近似的に下記で与えられる。

$$H_c \approx H_k \approx C M_s \frac{t}{w} \quad (1-4)$$

ここで、 C は面内磁化 MTJ の記憶層の形状異方性を決定する形状因子、 w は記憶層の短辺長である。不揮発性を保つためには、 ΔE は熱擾乱に耐えるだけの一定値で維持する必要がある。例えば 1 Gbits 容量の場合、10 年間の情報保持を補償するには $\Delta E \sim 60$ が必要となる。MTJ 素子の微細化が進んでいくと MTJ 素子面積 S を低減することになる。式(1-3)より ΔE を維持するためには、 H_k を大きくしていく必要がある。しかしながら、式(1-4)からも分かるように、MTJ 素子の微細化と共に MTJ 素子の H_c は大きくなる。従って、微細化が進むと記憶層の H_c 増大に応じた大きな配線電流磁界が書き込みに必要になる。しかしながら、配線から発生できる電流磁界は配線幅の微細化により減少してしまう。磁界書き込み MRAM における配線からの電流磁界および MTJ 素子記憶層の保磁力 H_c とデバイスの特性長 (Feature size : F) との関係を Fig.1-8 に示した[51]。ここで特性長とは、デバイスの最小寸法と等価である。MTJ 記憶層の保磁力 H_c と配線電流磁界は相反的な関係にあることが分かる。このような微細化に伴う記憶層の保磁力 H_c と配線からの書き込み電流磁界の相反的な挙動が磁界書き込み MRAM の最大の課題である。この課題を軽減し、磁界書き込み MRAM を延命させるために、配線の周辺に NiFe 等の磁性体を被覆し電流磁界発生効率を改善した磁性ヨーク被覆配線 (クラッド配線とも呼ばれる) を用いた磁界書き込み MRAM が開発されている[52][53][54][55]。Amano らは非常に高効率な磁性ヨーク被覆配線の開発に成功した。しかしながら、エレクトロ・マイグレーションにより配線に通電できる電流密度には上限があり、磁性ヨーク被覆配線を用いたとしても 256 Mbits 程度までのスケーリングしか有しないことが指摘されている[51]。この配線電流磁界と記憶層保磁力 H_c の相反関係から、磁界書き込み MRAM の微細化が困難であることは明確となり、スケーリング性が乏しいという課題が明確となっていた。このように磁界書き込み MRAM が本質的な課題に直面していた最中、1996 年に提案されていたスピン注入磁化反転という新しい書き込み方式の開発が急速に進み、それを用いた STT-MRAM の開発が活発化することになる。STT 磁化反転方式は、従来型の配線電流磁界書き込み方式の課題を解決するブレークスルー技術として期待されている。

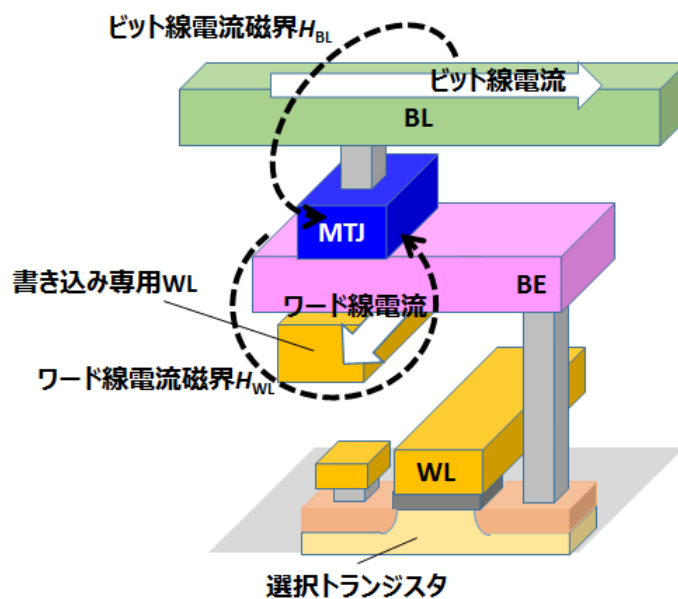


Fig.1-5 従来型配線電流磁界書き込み MRAM のセル構造の模式図.

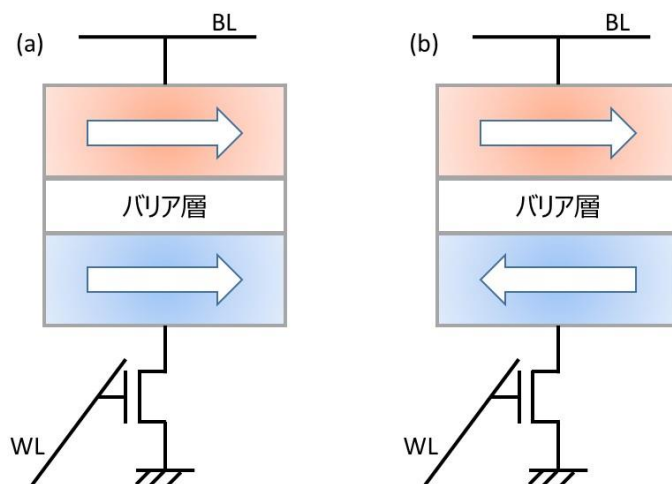


Fig.1-6 MRAM の読み出し時の MTJ の磁化状態を示した模式図. (a)平行磁化配列 (“0”状態), (b)反平行磁化配列 (“1”状態).

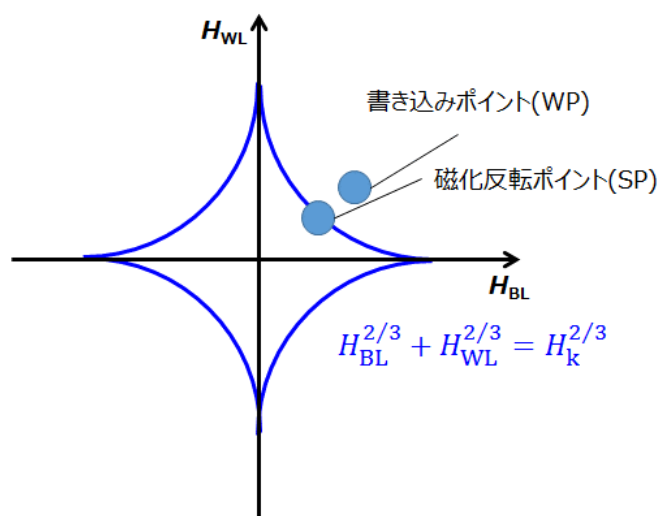


Fig.1-7 Stoner-Wohlfarth モデル（マクロスピンモデル）に基づいた一斉磁化反転の場合の磁化反転アステロイド曲線の模式図[51]. 磁化反転ポイント（Switching Point : SP）と書き込みポイント（Writing Point : WP）を示した.

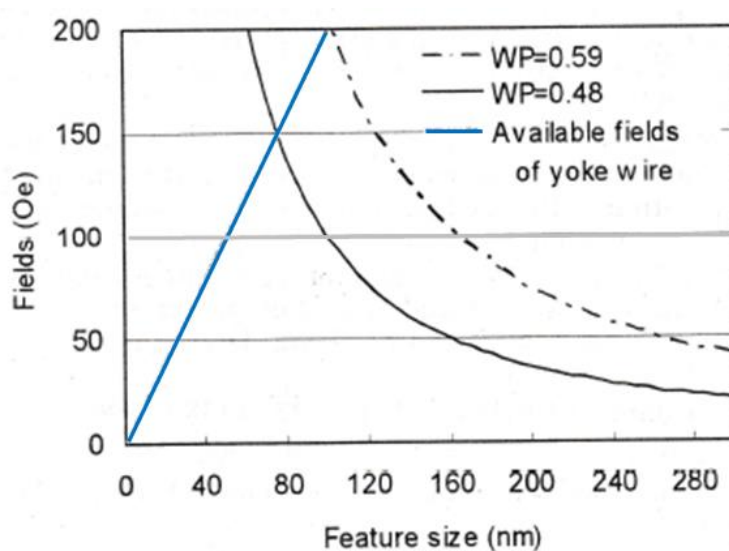


Fig.1-8 磁界書き込み MRAM におけるデバイス特性長（Feature size : F ）と書き込み磁界，配線電流磁界の関係[51].

1.6 スピン注入書き込み MRAM

本論文の主題である STT-MRAM の概念と理論について説明する．次に，STT-MRAM のデバイス構造とデバイス設計について説明する．

1.6.1 STT 磁化反転の概念と理論

STT 磁化反転は，1996 年に Slonczewski[19]と Berger ら[20]により基本的な概念と理論が発表された．その後，Sun[56][57]によりマクロスピンモデルをベースにさらに詳細に定式化されている．

Fig.1-9 に Slonczewski の STT 磁化反転の概念を示した．STT 磁化反転では，磁性層 1（スピン 1: \mathbf{M}_1 ）よりスピン偏極された電子が非磁性中間層を通じて磁性層 2 に注入される．磁性層 2 に注入された電子のスピン角運動量が磁性層 2（スピン 2: \mathbf{M}_2 ）に伝達移動されることで磁性層 2 にスピントルクが働き，磁性層 2 に歳差運動が起こり，磁性層 2 は磁化反転する．

一般的に，磁性層 1 により偏極された電子が磁性層 2 に注入されるスピン注入磁化反転は，スピントルクを取り入れた LLG（Landau-Lifshitz-Gilbert）方程式として下記のよう表される．

$$\frac{d\mathbf{M}_2}{dt} = \gamma \mathbf{M}_2 \times \mathbf{H}_{\text{eff}} + \alpha \mathbf{m}_2 \times \frac{d\mathbf{M}_2}{dt} + \frac{g\hbar I}{2e} \mathbf{m}_2 \times (\mathbf{m}_2 \times \mathbf{m}_1) \quad (1-5)$$

ここで， I は電流， e が電子の電荷， α が Gilbert ダンピング定数， γ がジャイロ定数， \mathbf{H}_{eff} が磁性層 2 の実効的異方性磁界， \mathbf{M}_2 が磁性層 2 の飽和磁化， \hbar がプランク定数， g が STT 効率である．

STT 磁化反転時のスピントルクとダンピングトルクおよび磁性層 2（スピン \mathbf{M}_2 ）の歳差運動の関係を示したのが Fig.1-10 である[58]．スピントルクとダンピングトルクは作用する方向が逆であり，スピントルクはアクセル，ダンピングトルクがブレーキの役割を果たし，スピントルクがダンピングトルクより大きくなると磁性層 2（スピン \mathbf{M}_2 ）は磁化反転する．従って，STT 磁化反転モデルでは，磁性層 2 に必要な STT 磁化反転臨界電流 I_{c0} は下記の式で与えられる[19]．

$$I_{c0} = \frac{e\alpha\gamma}{\mu_B g} H_{\text{eff}} M_s V = \frac{2e\alpha}{\hbar g} H_{\text{eff}} M_s V = \frac{2e\alpha}{\hbar g} H_{\text{eff}} M_s S t \quad (1-6)$$

ここで、 μ_B がボルツマン定数、 V が磁性層 2 の体積、 S が磁性層 2 の面積、 t が磁性層 2 の膜厚、 H_{eff} が磁性層 2 の実効的磁気異方性磁界、 I_c が STT 磁化反転臨界電流である。ここでは温度が考慮されていないため、 I_{c0} は温度の影響を考慮していない 0 K での STT 磁化反転臨界電流である。一般に、一軸磁気異方性磁界 H_k 、外部印加磁界 H_{ext} 、磁性層 2 の反磁界 H_d を用いると、マクロスピンモデルを用いた場合、 H_{eff} は下記の式で与えられる[56][57].

$$H_{\text{eff}} = H_k + H_{\text{ext}} + H_d = H_k + H_{\text{ext}} + 2\pi M_s \quad (1-7)$$

式(1-6)の STT 効率 g は、磁性層 1 と磁性層 2 の磁化がなす角度 θ 、磁性層 1 と磁性層 2 の磁性体分極率 P を用いた下記の関数で表される[19].

$$g(\theta) = \left\{ -4 + \frac{(P^{1/2} + P^{-1/2})^3 (3 + \cos\theta)}{4} \right\}^{-1} \quad (1-8)$$

上記の関数 $g(\theta)$ は非磁性中間層が金属層からなる GMR 素子の場合に適用される。

一方、MTJ 素子を用いた STT 効率 $g(\theta)$ は、磁性層 1 および磁性層 2 の分極率をそれぞれ P_1 、 P_2 とすると下記の関数で与えられる[63].

$$g(\theta) = \frac{P_2}{2(1 + P_1 P_2 \cos\theta)} \quad (1-9)$$

Julliere のモデルでは TMR と磁性体の分極率 P の関係は式(1-1)で表される。磁性層 1 と磁性層 2 の分極率が同じである場合 ($P = P_1 = P_2$) , TMR から求められる磁性電極層 P は、下記で与えられる。

$$P = \sqrt{\frac{TMR}{TMR + 2}} \quad (1-10)$$

式(1-5)と式(1-7)を用い、磁性層 1 と磁性層 2 の分極率が等しい ($P = P_1 = P_2$) 場合、MTJ 素子の場合の STT 効率 $g(\theta)$ は TMR を用いて下記で与えられる。

$$g(\theta) = \frac{P}{2(1 + P^2 \cos\theta)} = \frac{\sqrt{TMR(TMR + 2)}}{2\{2 + TMR(1 + \cos\theta)\}} \quad (1-11)$$

ここまでは、温度の影響を考慮していない 0 K での STT 磁化反転について説明してきた。実際の STT 磁化反転は有限温度、有限時間で磁化反転となるため、磁性層 2 は熱浴の熱の影響を受けながら磁化反転する[64][65][66]。Fig.1-11 は規格化された STT 磁化反転電流と磁化反転時間の関係の模式図を示した[60][61]。磁化反転速度の観点から STT 磁化反転を考えた場合、熱浴の温度の影響を受けずに断熱的に磁化反転する Precessional switching と、熱浴の熱の影響を受けながら熱活性状態で磁化反転する Thermal activation switching に大別される。その 2 つの磁化反転モードの間にはそれらの中間状態となる Dynamic switching が存在する。一般的に STT 磁化反転を考える場合は、そのほとんどが Thermal activation switching から Dynamic switching であり、熱の影響を受ける STT 磁化反転である。熱活性状態での STT 磁化反転は、熱の影響を受けて確率的な磁化反転となる。この場合の磁化反転確率 P は Brown-Neel 磁化緩和理論を用いることにより、印加電流パルス幅 t_p と磁化緩和時間 τ を用いて下記で与えられる[62]。

$$P(t_p) = 1 - \exp\left(-\frac{t_p}{\tau}\right) \quad (1-12)$$

また、熱活性磁化反転での磁化緩和時間 τ は、Neel-Arrhenius 方程式を用いて下記で与えられる[63]。

$$\tau = \tau_0 \exp\left(\frac{\Delta E}{k_B T}\right) \quad (1-13)$$

ここで、 k_B はボルツマン定数、 τ_0 は 1×10^{-9} sec で与えられる attempt 時間、 T は STT 磁化反転時の熱浴の温度である。STT 磁化反転させる時の通電時の磁化の熱安定性エネルギーが ΔE である。 ΔE は通電電流 I を用いて下記で与えられる[64]。

$$\Delta E = \Delta E_0 \left(1 - \frac{I}{I_{c0}}\right) \quad (1-14)$$

ここで、 ΔE_0 は電流が流れていない状態での 0 K での記憶層の熱安定性エネルギー、 I_{c0} は 0 K での STT 磁化反転電流である。また、外部磁界 H からの影響も考慮すると、熱安定性エネルギー ΔE は下記で与えられる[56][57]。

$$\Delta E = \Delta E_0 \left(1 - \frac{I}{I_{c0}}\right) \left(1 - \frac{H}{H_k}\right)^2 \cong \Delta E_0 \left(1 - \frac{I}{I_{c0}}\right) \left(1 - \frac{H}{H_{c0}}\right)^2 \quad (1-15)$$

ここで、 H_k は記憶層の磁気異方性磁界、 H_{c0} は 0 K での記憶層の H_c である． Fig.1-11 における Thermal activation switching の規格化された STT 磁化反転電流 I_c/I_{c0} は、式(1-12)で $P = 0.5$ の時の STT 磁化反転電流を I_c とするとし、式(1-13)と式(1-14)を用いて下記のように与えられる．

$$\frac{I_c}{I_{c0}} = 1 - \frac{k_B T}{\Delta E_0} \ln \left(\frac{t_p}{\tau_0 \ln 2} \right) \quad (1-16)$$

一方、磁化が熱の影響を受けずに高速に磁化反転する断熱磁化反転（Precessional switching）の場合、規格化された STT 磁化反転電流 I_c/I_{c0} は下記の式で与えられる [56][57]．

$$\frac{I_c}{I_{c0}} = \frac{\ln(\pi/2\theta_0)}{t_p/\tau_c} + 1 \quad (1-17)$$

ここで、 θ_0 は磁性層 2 の磁化方向の磁化容易軸からのずれ角である． また、 τ_c は記憶層の特性磁化緩和時間であり、下記の式で与えられる [56][57]．

$$\tau_c = \frac{1 + \alpha^2}{\alpha \gamma H_k} \quad (1-18)$$

式(1-17)からも分かるように、断熱的磁化反転（Precession switching）では温度 T の項は含まれない． また、式(1-18)から分かるように、記憶層の本質的な異方性磁界 H_k 、ダンピング α 、0 K での STT 磁化反転電流 I_{c0} により I_c が決まることになる． また、磁化方向の容易軸からの初期の傾きにも依存する [56][57]．

ここまで、マクロスピンモデルで記述される STT 磁化反転について説明してきた． STT 磁化反転は電流通電による磁化反転現象のため、各種パラメータは電流通電による影響などを考慮することが必要である． また、現実の磁化反転がマクロスピンモデルで全てを記述できるわけではないことは自明である． しかしながら、Sun らにより定式化されたマクロスピンモデルを用いた STT 磁化反転モデル [56][57]は、STT 磁化反転現象を解析し、理解するためには非常に有効である．

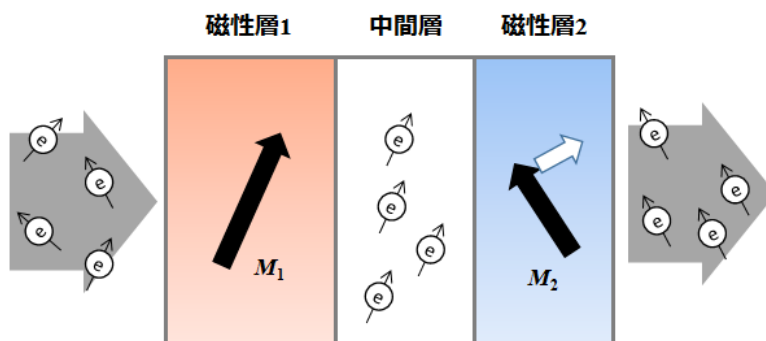


Fig.1-9 Spin Transfer Torque の概念図.

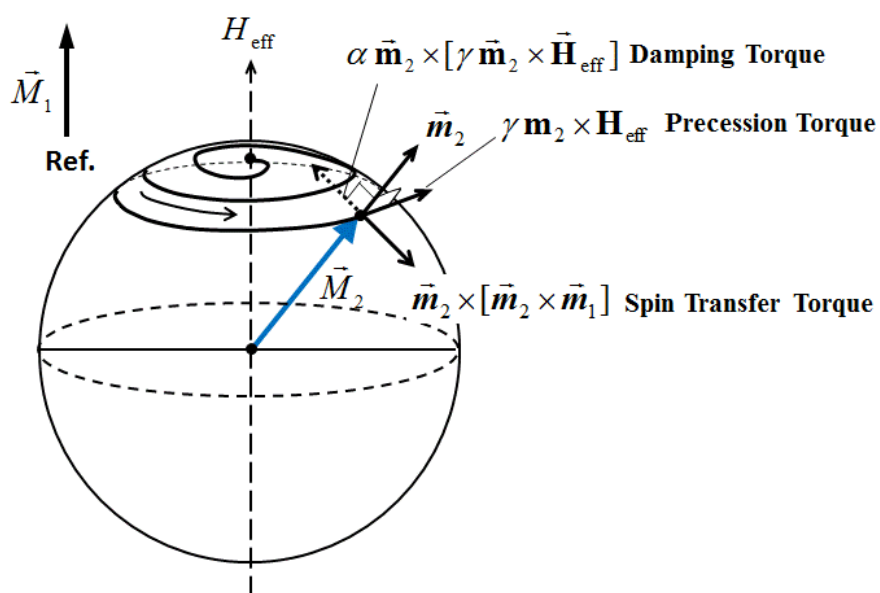


Fig.1-10 STT 磁化反転におけるスピン歳差運動とスピントルク，歳差トルク，ダンピングトルクの関係を表した模式図[58].

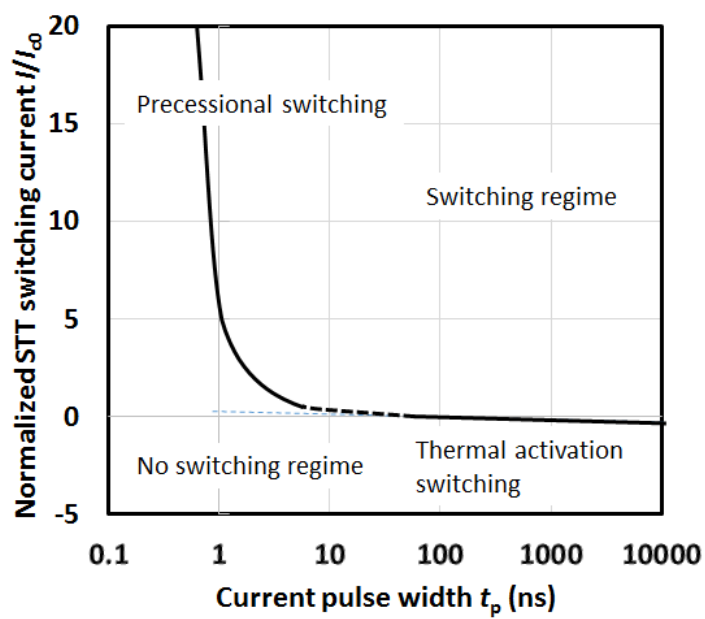


Fig.1-11 STT 磁化反転電流のパルス幅依存性の模式図[60][61].

1.6.2 STT-MRAM セル構造

従来型の磁界書き込み MRAM から，STT-MRAM に替わることでセル構造は大きく変化した．Fig.1-12 に STT-MRAM のセル構造の模式図を示した．Fig.1-5 と Fig.1-12 を比較して分かるように，STT-MRAM では書き込みと読み出しの電流経路が共通となり，従来の磁界書き込み MRAM で必要であった書き込み専用のワード線が不要となる．セル構造は簡素化され，セルサイズの縮小も可能である．従って，STT-MRAM はセルの高密度化が容易であり，セル構造上はスケーリング性に優れている．

現在開発されている STT-MRAM は，従来型の磁界書き込み MRAM 同様に面内磁化方式が採用されている．面内磁化方式では，記憶層の熱安定性エネルギー ΔE を維持するために形状磁気異方性が用いられる．微細化と共に形状磁気異方性を維持するためには，MTJ 素子記憶層は 2 以上程度の大きな平面形状アスペクト比が必要となるため，最小 MTJ サイズは $2F^2$ 以上となる．STT-MRAM のセルサイズは MTJ 素子の下層に形成されるセル選択トランジスタのサイズと MTJ 素子のサイズで決まる．Fig.1-12 に示したように，現在開発中の面内磁化方式ではアスペクト比を有する MTJ 素子形状ため，セルサイズは $12F^2$ セルが最小サイズとなり，理論最小サイズ $8F^2$ には届かない．

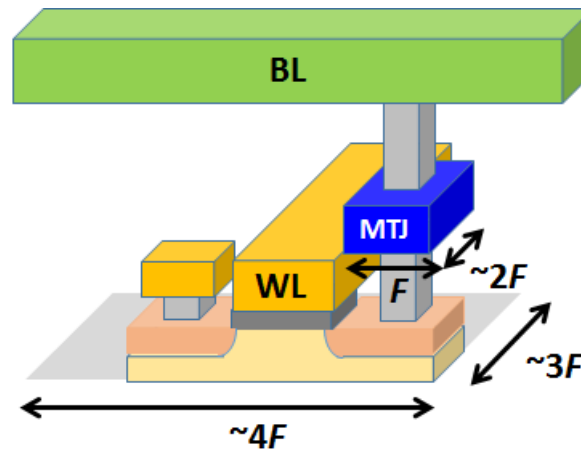


Fig.1-12 STT-MRAM のセル構造の模式図．

1.6.3 STT-MRAM の書き込み・読み出し設計

STT-MRAM は MTJ のトンネル磁気抵抗効果を用いた抵抗変化型メモリである。MTJ 素子の参照層と記憶層における磁化の平行状態（P 状態）と反平行状態（AP 状態）を判別して、それぞれ”0”状態と”1”状態の情報を読み出す（Fig.1-6）。一方、書き込みではスピン注入磁化反転現象を利用して、MTJ 素子への双方向電流通電し情報を書き込む。従って、書き込みと読み出しの両方で MTJ 素子への電流通電を行うため電流設計が重要となる。

Fig.1-14 に STT-MRAM での読み出し電流、書き込み電流、トンネルバリア層の絶縁破壊電流の関係を示した。STT-MRAM では定電圧で読み出し書き込みが行われるため、抵抗差は電流差と同等となる。ここで、電流の定義を説明する。Fig.1-13 では、P 状態の読み出し電流が I_P^P 、AP 状態の読み出し電流が I_P^{AP} 、セル抵抗の大きさを判定するための参照抵抗電流が I_P^{ref} 、P-to-AP 磁化反転側（正バイアス電流側）の STT 磁化反転電流が I_C^{P-AP} 、書き込み電流が I_W^{P-AP} 、トンネルバリア層の絶縁破壊電流が I_{BD}^{P-AP} 、AP-to-P 磁化反転側（負バイアス電流側）の STT 磁化反転電流が I_C^{AP-P} 、書き込み電流が I_W^{AP-P} 、トンネルバリア層の絶縁破壊電流が I_{BD}^{AP-P} である。

まず、読み出しのバイアス電流方向と書き込み電流の関係を説明する。STT 書き書き込みでは、双方向電流で書き込みを行う。式(1-8)、式(1-9)から AP-to-P 磁化反転と P-to-AP 磁化反転の臨界電流は STT 効率の非対称性から非対称となり、P-to-AP 磁化反転電流 I_C^{P-AP} の方が大きい。読み出し電流は、誤書き込みを防ぐため、STT 磁化反転電流よりも小さくしなければならず、十分なマージンが必要となる。STT 磁化反転電流が大きい側で読み出しを行う方が有利となる。従って、読み出しの電流方向は、P-to-AP 書き込み電流方向と同じ方向に設定されるのが一般的である。

次に、STT-MRAM における書き込み操作を考える。書き込み電流 I_W は、STT 磁化反転電流 I_C よりもマージンをとって十分大きく設定される。書き込み電流 I_W の決定する場合、トランジスタの駆動電流ばらつき σI_d と STT 磁化反転電流ばらつき σI_C が考慮される。一方、書き込み電流 I_W はセル選択トランジスタの最大駆動電流 I_d により律則される。セル選択トランジスタの最大駆動電流 I_d 以上の電流を流すことはできないからである。書き込み時の書き込みエラー率（Write Error Rate : WER）を低減するには、MTJ 素子の磁化反転電流 I_C よりも十分に大きな書き込み電流 I_W が必要であり、 I_W の設定はトランジスタの駆動電流ばらつき σI_d と STT 磁化反転電流ばらつき σI_C に依存する。さらに、MTJ 素子に通電できる最大電流は、トンネルバリア層の絶縁破壊電流 I_{BD} で規定される。従って、書き込み電流 I_W はセル選択トランジスタの最大駆動電流 I_d だけでなく、トンネルバリア層の絶縁破壊電流 I_{BD} にも制約を受ける。

STT-MRAM は DRAM を凌ぐ不揮発性メモリとして期待されている。低消費電力かつ高密度な STT-MRAM の実現のためには、書き込み電流の低減が必須である。しかしな

がら、極端に低電流な STT 磁化反転電流が実現し、低電流書き込みが実現したとすると、読み出し電流との干渉が問題となる。読み出し電流と STT 磁化反転電流の干渉（重なり）による読み出し時の誤書き込み（Read Disturb : RD）が発生することになるからである。これを防ぐためには、P 状態の読み出し電流 I_P^P と P-to-AP 書き込み電流 I_C^{P-AP} 、および、それぞれの電流ばらつきを考慮した十分な電流マージン設計が必要である。また、極端な低電流 STT 磁化反転の実現は、読み出し電流の低下をもたらす。この場合、読み出し回路のセンスアンプでの最小電流限界により高速読み出しが困難になる恐れがある。これを回避するためには、MTJ の高 TMR 化だけでなく、センスアンプ回路の改良も必要になる。

上述したように、STT-MRAM は電流書き込みを行なう抵抗変化型メモリであるが故に、非常に狭い電流範囲で、非常に緻密な読み出し・書き込み電流設計が必要になることとなる。

次に、STT-MRAM の読み出しに必要な TMR 設計について、読み出し回路方式も交えて説明する。STT-MRAM では、“0”状態と“1”状態は MTJ 素子の TMR を利用し、抵抗の大小関係を回路側で読み取り識別する。STT-MRAM デバイス設計上は、ビット毎の抵抗ばらつきも考慮する必要がある。従って、STT-MRAM の大容量化の際にはばらつき要素を考慮した高 TMR が要求される。しかしながら、TMR にも物理的な限界は存在する。

STT-MRAM の回路上の読み出し方式は、従来型 MRAM の場合と大きくは変わっていない。STT-MRAM の読み出し方式[67][68][69][70][71]には下記の3種類がある。

- 1) 参照セル方式
- 2) 自己参照方式
- 3) 差動方式

一般的に、参照セル方式では参照セル抵抗と MTJ 素子抵抗を比較して読み出す。回路構成も単純で、最も高速読み出し、大容量に向いている。しかしながら、この方式では参照セルを MTJ 素子抵抗の P 状態と AP 状態の中間値に設定する必要があり、設計上一番大きな TMR が必要となる。自己リファレンス方式では、まず、MTJ 素子の抵抗を読み出し、その後書き込み・読み出しを行い、そこで得られた抵抗の差で読み出しを行う。従って、ある MTJ 素子の抵抗をその MTJ 素子抵抗自身の P 状態と AP 状態の抵抗で識別するので、大きな TMR は必要としない。しかしながら、1 回の読み出し時に、書き込みと読み出し動作が追加されるため、読み出し動作時間が遅くなる。差動方式では、読み出し速度の低下はなく、2 つの MTJ 素子の差分で抵抗差を検出するため、必要な TMR は緩和される。しかしながら、2 セルで 1 セル分の読み出しとなるため、容量

は半分となってしまう．上述したように，それぞれの方式には一長一短がある．どの方式を選択するのかはシステム構成や MTJ 素子の特性に依存する．

Fig.1-13 では参照セル方式における MTJ 素子抵抗と参照セル抵抗の関係を一例として示している．Gbit 級 STT-MRAM を設計するためには，読み出し不良を数 ppm 以下にする必要があるため， 6σ までの電流ばらつきを考慮した設計が必要である．MTJ 素子の”0”状態（P 状態），”1”状態（AP 状態），参照セルの抵抗に加えてそれぞれの状態の抵抗ばらつきを考慮する必要がある．参照セルは MTJ 素子の P 状態抵抗と AP 状態抵抗の中間値で設計される．それぞれの抵抗ばらつきは σ であり等しいと仮定すると，読み出し不良を防ぐためには， 24σ 分の P 状態と AP 状態の抵抗差（読み出し電流差）が必要となる．例えば，MTJ 素子の P 状態抵抗 $R \sim 10 \text{ k}\Omega$ ，MTJ セルおよび参照セルの抵抗ばらつき（読み出し電流ばらつき）を $\sigma \sim 5 \%$ （ $0.5 \text{ k}\Omega$ ）と仮定すると，”0”状態と”1”状態の読み出し電流は 24σ のマージンが必要になることから， $\text{TMR} \sim 120 \%$ 以上が必要ということになる．さらに，STT-MRAM の高密度化，大容量化に伴い MTJ 素子サイズの微細化も急激に進んでおり，セルの抵抗ばらつきは大きくなる一方である．また，回路側の動作ばらつきも微細化に伴い増大する傾向である．従って，STT-MRAM の高密度化，大容量化，微細化が進むにつれて，大きな TMR 比が必要になる．これは抵抗変化型メモリの宿命である．

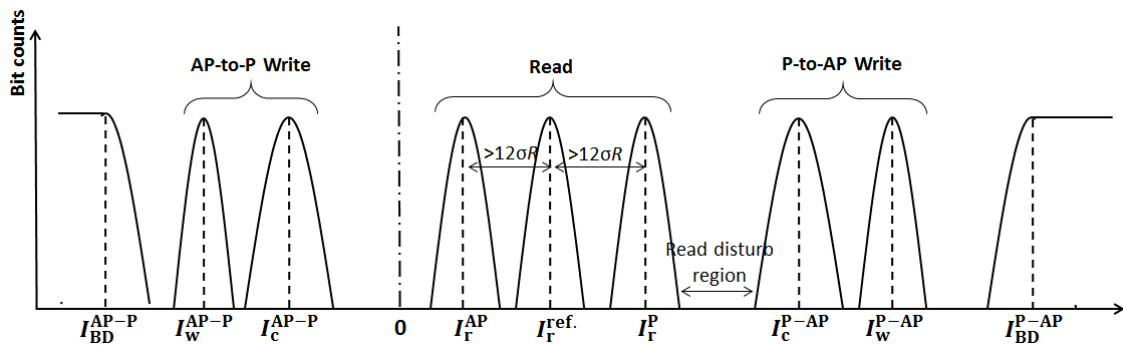


Fig.1-13 STT-MRAM における書き込み・読み出し電流値とばらつきの関係．

1.6.4 STT-MRAM の書き込み電流低減

本項では STT-MRAM の書き込みについて考えるため、STT 磁化反転電流とトランジスタ駆動電流の関係および MRAM セル微細化傾向について述べる。STT-MRAM が将来に渡ってスケールングを有するためには、MTJ 素子の STT 磁化反転電流 I_c が CMOS セル選択トランジスタの駆動電流以下に低減されなければならない。Fig.1-13 で示したような STT 磁化反転電流 I_c と書き込み電流 I_w の関係を満たすことが必要である。STT-MRAM のデバイス動作上、書き込み電流 I_w はセル選択トランジスタから供給される。よって、書き込み電流 I_w とセル選択トランジスタの駆動電流 I_d は原理的には等価 ($I_w = I_d$) なるはずである。しかしながら、デバイス設計上、書き込み電流 I_w は MTJ 素子の STT 磁化反転電流ばらつき σI_c を考慮する必要があるため、STT 磁化反転電流 I_c よりも大きな $I_w = I_d + 6\sigma I_c$ で設計される。従って、STT-MRAM がデバイスのスケールングを有することを実証するためには、STT 磁化反転電流の低減だけでなく、セル選択トランジスタ駆動電流の増大も必要となることは明らかである。

次に、CMOS トランジスタ駆動電流の最近の開発トレンドについて述べる。トランジスタは研究開発の歴史が長く、研究者の数および研究結果の蓄積も非常に多い。半導体分野では、トランジスタに関する統一的なロードマップ作成委員会である国際半導体ロードマップ委員会が組織されており、毎年「国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors : ITRS)」を発表している。ITRS では CMOS トランジスタの駆動電流トレンドが将来の数分まで報告されており、将来予測に用いられている。2007 年の ITRS から抜粋した低電力消費型の Low-standby-power CMOS トランジスタの駆動電流と、高い駆動電流を有する High performance Logic CMOS で使われる Fin-FET トランジスタの理想的な駆動電流の特性長 F (Feature size : F) の依存性を Fig.1-14 に示した。特性長とは、デバイス設計における最小寸法である。CMOS トランジスタの駆動電流 I_d は待機時およびリーク電流量と相関があることが知られており、一般的には I_d が大きくなるとリーク電流量も大きくなる。不揮発性で低消費電力を目指すためには Low-standby-power CMOS トランジスタが理想であるが、この場合と CMOS トランジスタ駆動電流 I_d は低く抑えられる。一方、Fin-FET のような High performance Logic CMOS トランジスタでは駆動電流 I_d は大きく取れるが、待機時と駆動時のリーク電流も大きくなる。どのような CMOS トランジスタをセル選択トランジスタに適用するかは、用途や期待される特性によって異なる。低消費電力な DRAM 代替の不揮発性メモリを目指すには、Low-standby-power CMOS トランジスタを使う必要がある。一方、Fig.1-14 中には、現在主流で開発されている面内磁化 MTJ を用いた STT-MRAM の STT 磁化反転電流 I_c の位置づけも模式的に示した。この面内磁化 MTJ の STT 磁化反転電流 I_c は、 $I_c = 2 \times 10^6 \text{ A/cm}^2$ で計算したものである。現在主流で開発されている面内磁化 STT-MRAM では、書き込み電流が Low-standby-power CMOS トランジスタの駆動電流を下

回る予測はできない．ここで，各世代の Low-standby-power CMOS トランジスタの駆動電流 I_d トレンドと面内磁化 MTJ の STT 磁化反転電流 I_c の低減の関係を考える．2007 年の ITRS から各世代の CMOS トランジスタの駆動電流 I_d を抜粋すると，Low-standby-power CMOS トランジスタにおける特性長 F とトランジスタ駆動電流 I_d のトレンドは，2007 年で $F = 68 \text{ nm}$, $I_d = 31.6 \text{ } \mu\text{A}$, 2009 年で $F = 52 \text{ nm}$, $I_d = 26.1 \text{ } \mu\text{A}$, 2011 年で $F = 40 \text{ nm}$, $I_d = 21.7 \text{ } \mu\text{A}$, 2013 年で $F = 32 \text{ nm}$, $I_d = 19.6 \text{ } \mu\text{A}$ である．毎年ほぼ線形で減少する傾向で推移している．一方，面内磁化 MTJ の STT 磁化反転電流については，現時点で報告されている面内磁化 MTJ において STT 磁化反転の最小電流密度 J_c は上述したように $2 \times 10^6 \text{ A/cm}^2$ である．面内磁化 MTJ ではアスペクト比が 2 程度必要であり，MTJ 形状が Oval 形状だと仮定すると，MTJ 短辺長が 32 nm の時，STT 磁化反転電流 I_c は $36.6 \text{ } \mu\text{A}$ となる．従って，現状の 2013 年の $F = 32 \text{ nm}$ 時点でも， I_c はトランジスタ駆動電流のほぼ倍程度となってしまう．従って，面内磁化 STT-MRAM の開発において，DRAM と同等の消費電力で動作し，DRAM と同等のスケーリング性を有する STT-MRAM を実現するためには，更に低い I_c が必要であり，単純な見積もり計算から STT 磁化反転電流密度換算で $J_c \leq 1 \times 10^6 \text{ A/cm}^2$ が必要となる．この J_c を満たすことで， $F = 32 \text{ nm}$ の世代で STT 磁化反転電流 I_c が CMOS トランジスタの駆動電流 I_d を下回ることになる．この J_c 値は近年 STT-MRAM 開発の書き込み電流低減の指標および DRAM 代替 STT-MRAM 実用化の目安として用いられている．

上述してきたように，STT-MRAM が DRAM を凌駕するような不揮発性にメモリとなり，さらに DRAM を超えるスケーリング性を有することを実証するためには，STT 磁化反転電流 I_c （STT 磁化反転電流密度 J_c ）の低減が大きな課題である．

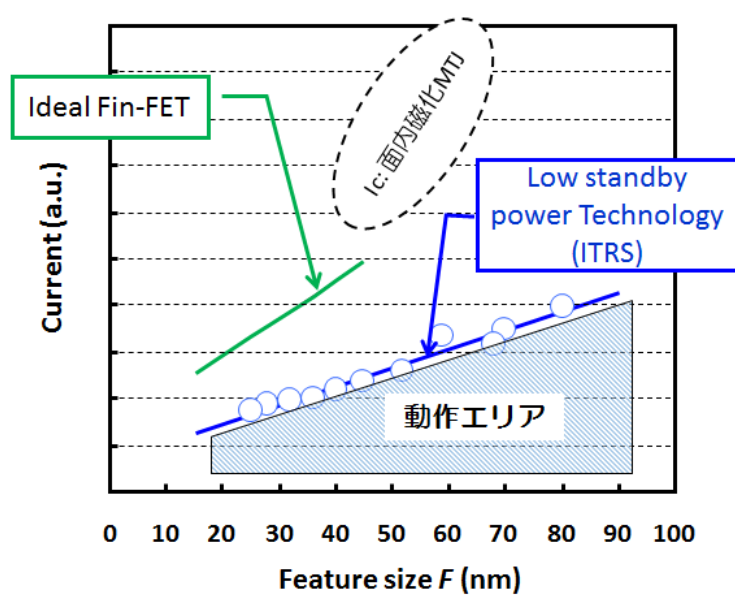


Fig.1-14 ITRS が示すトランジスタ駆動電流と最小寸法の関係. グラフ内には, 理想的な場合の Fin-FET の駆動電流と面内磁化 STT-MRAM の STT 磁化反転電流を示した.

1.7 本研究の目的

前節までで述べたように, Gbits 級 STT-MRAM の実現のためには, 100 %を超える高 TMR とトランジスタ駆動電流を下回る低電流 STT 磁化反転電流が必要である. STT 磁化反転電流密度 J_c の目標値としては, $J_c \leq 1 \times 10^6 \text{ A/cm}^2$ が指標となる. 現在, 面内磁化 MTJ を用いた STT-MRAM の研究開発が主流となっている. しかしながら, 面内磁化 MTJ では, $1 \times 10^6 \text{ A/cm}^2$ を下回るような低電流 STT 磁化反転は未だ報告されていない. 一方, 垂直磁化 MTJ については研究開発が始まったばかりである. その報告例は少なく, 100 %を超える高 TMR, $1 \times 10^6 \text{ A/cm}^2$ を下回る低電流垂直磁化 STT 磁化反転の報告例はない.

本研究は, 垂直磁化方式の STT-MRAM の研究開発の先駆的な取り組みであり, Fe 基 L1₀規則合金磁性電極を用いた垂直磁化 MTJ は, 100 %を超える高 TMR, $1 \times 10^6 \text{ A/cm}^2$ 以下の低電流 STT 磁化反転, さらには DRAM 代替が可能なスケーリング性をゆうすることを実証することを目的とする.

本論文は以下の 5 つの章から構成される.

まず, 本第 1 章で序論を述べた.

第 2 章では, CoFeB/MgO/CoFeB-MTJ を用いた面内磁化 MTJ の STT 磁化反転の磁気相図 H - I 曲線を解析した研究成果について述べ, 面内磁化方式の STT 磁化反転も課題を明らかにする. 次に, 垂直磁化方式 STT 磁化反転が, 面内磁化方式 STT 磁化反転に対して優位であることについて述べる.

第 3 章では, 垂直磁化 MTJ の高 TMR 化に向けた研究成果について述べる. 具体的には, 高一軸結晶磁気異方性を有する L1₀-FePt 磁性電極を用いた MgO バリア層 MTJ の高 TMR 化 (TMR > 100 %) の研究成果について述べる.

第 4 章では, 垂直磁化 MTJ における STT 磁化反転の低電流化に向けた研究成果について述べる. 具体的には, 高一軸結晶磁気異方性および低ダンピングを有する L1₀-FePd 磁性電極を用いた MgO バリア層 MTJ の低電流 STT 磁化反転 ($J_c \leq 1 \times 10^6 \text{ A/cm}^2$) の研究成果について述べる.

第 5 章では, 本論文を総括し, 本研究で得られた成果を述べる. 最後に, 今後の研究の課題と展望について述べる.

第2章 面内磁化方式スピン注入磁化反転の磁気相図の評価

2.1 はじめに

第1章の1.6.1項で述べたように、1996年に磁性体にスピン偏極した電流を通電することにより磁化を反転させるスピン注入（Spin Transfer Torque：STT）磁化反転が提案された[19][20]。このSTT現象を用いたSTT-MRAMは従来型の配線磁界書き込みMRAMでは超えられなかった書き込み電流のスケーリング性を確保できる技術として注目されている。STT磁化反転は電流のみで磁化反転が可能であり、電流の方向を変えることで磁化方向を変えることができる。従来型MRAMで必要であった電流磁界発生させるために必要な書き込み専用配線は不要となり、メモリセル部構造を非常に簡易にすることができる。STT磁化反転では、式(1-6)から分かるように、書き込みに必要な電流はMTJ素子の面積に比例して減少し、MRAMの高密度化と低消費電力化が期待できる。STT-MRAMのセルはセル選択トランジスタとMTJの1 Transistor + 1 MTJ構造が基本であり、面内磁化方式のSTT-MRAMにおいて理論的には $12F^2$ を実現できる潜在的可能性を持つ。 F はデバイス設計上の最小寸法で特性長と呼ばれる。また、磁界書き込みMRAMで見られた半選択状態も存在しないため、MTJの熱安定性については有利である。以上から、STT磁化反転はMRAMの高密度・大容量化のためのキー技術として期待されている。

STT磁化反転の開発初期は、磁性層/非磁性層/磁性層の3層積層構造からなる擬似スピンバルブ型GMR素子を用いてSTT磁化反転現象が調べられてきており、定性的および定量的な評価解析によるSTT磁化反現象の解明が進められてきた[56][57][64][65][72][73][74][75][76]。しかしながら、GMR素子でのSTT磁化反転電流は、電流密度換算で $1 \times 10^7 \text{ A/cm}^2$ 以上と大きく、実用化には程遠い状態であった。一方、実用性を考慮したAl-Oトンネルバリア層を用いたMTJ素子を用いたSTT磁化反転の検証も試みられた[77]。しかしながら、STT磁化反転電流密度は 10^7 A/cm^2 台に留まっていた。2004年、MgO(001)トンネルバリア層を用いたMTJ（MgO-MTJ）で Δ_1 バンド起因の高TMRが観測された[23][24]。式(1-11)からも明らかのように、MgO(001)を用いたMTJの高TMRによるSTT効率の向上により、STT磁化反転電流の大幅な低減が期待されるようになった。そして、STT-MRAMへの応用・実用化を目指したMgO-MTJを用いたSTT磁化反転の研究開発が活発化し加速されている[78][79][80]。近年、新規不揮発性メモ

リとしての **STT-MRAM** の実用化が期待されており，世界各国で活発に研究開発が進められている状況である．

本章では，**CoFeB/MgO/CoFeB** の基本積層構成を有する面内磁化 **MTJ** 素子を作製し，外部磁界による磁化反転および **STT** 磁化反転の評価を行う．**MTJ** 素子磁化反転の抵抗 (R) -磁界 (H) 曲線 (R - H 曲線) の電流バイアス依存性を評価し，**STT** 磁化反転の挙動を詳細に解析する．さらに， R - H 曲線のバイアス電流依存性データから得られる磁界 (H) -電流 (I) 曲線 (H - I 曲線) を利用して，面内磁化 **MTJ** での **STT** 磁化反転における電流通電によるジュール熱の影響を解析し，面内磁化 **MTJ** の **STT** 磁化反転の課題を明確化する．最後に，近年提案された垂直磁化方式の **STT** 磁化反転の面内磁化方式に対する優位性を説明する．

2.2 実験方法

MTJ の成膜には、超高真空 DC/RF マグネトロンスパッタ装置を用いた。成膜チャンバーの到達真空度は、 1×10^{-7} Pa 以下である。成膜は、素子形成用に下部電極を加工形成した基板上行った。MTJ 膜の RA と TMR を事前に評価するため、その場合は熱酸化 Si(100)基板上に形成された Ta/Cu 多層膜基板上に MTJ を成膜した。Fig.2-1(a)に本研究で用いた MTJ 概略構成を示した。MTJ は、キャップ層/CoFeB 2.0 nm/MgO 1.0 nm/CoFeB 2.0 nm/Ru 0.9 nm/CoFe 2.6 nm/PtMn 15.0 nm/下地層の積層構成を有する Top 記憶層 MgO-MTJ である。参照層には SAF (Synthetic Anti-Ferromagnetic) 構造を採用し、CoFeB 層と CoFe 層の膜厚は参照層から記憶層へ及ぼす漏洩磁界がゼロになるように最適化した。成膜後、SAF 参照層 CoFeB/Ru/CoFe の一軸磁気異方性の付与、CoFe/PtMn の強磁性/反強磁性結合による磁化固着、および、記憶層 CoFeB 磁気異方性の一軸磁気異方性付与のため、1.2 Tの磁場を印加しながら真空中で 300 °C-2 時間のアニールを行なった。

Fig.2-1(b)と(c)には、本検証で用いた MTJ セル構造の断面図と上面図をそれぞれ示した。MTJ 素子は上部電極と下部引出し電極の間に配置される。MTJ は短辺長が 110 nm、アスペクトが 1.5 になるようにリソグラフィーでパターニングを行った。最終的な MTJ サイズは寸法 SEM での寸法測定の結果、短辺長 106 nm × 長辺長 169 nm の楕円形であった。MTJ 素子のエッチング加工にはイオンビームエッチング (Ion Beam Etching : IBE) 法を用いた。MTJ 素子エッチング加工プロセスには、2 ステップ加工[81][82]を適用した。この 2 ステップ加工法では、まず Ar を用いた低エネルギー 20 W の IBE 条件で記憶層を MgO バリア止めによりエッチングする。その後、真空一貫で第 1 の保護膜を形成する。次に 2 回目のパターニング工程を実施し、MgO バリア層より下部の参照層/下地層/下部引き出し電極を一括で IBE 法により加工し、その後第 2 保護膜を形成した。Fig.2-1(b)と(c)に示したように、参照層は記憶層よりも大きくパターニングされ、MTJ は Fig.2-1(b)と(c)のようなステップ形状となる。最後に MTJ 上に Via を形成して電極材料を埋め込み上部電極とコンタクトした。

MTJ 膜の RA と TMR 評価のため、Ta/Cu 多層膜基板上に MTJ 膜を成膜し、12 短針を用いた面内電流トンネル (Current In-Plane Tunneling : CIPT) 法[83]により評価した。

MTJ 素子の抵抗 R -磁界 H 曲線(R - H 曲線)および抵抗 R -電流 I 曲線 (R - I 曲線) の評価は、磁場印加しながら 4 端子法により室温で行った。 R - H 曲線評価では測定標準電圧は 100 mV とし、1 測定時間 (1 回の磁界 sweep 時間) は 2 sec で評価した。 R - I 曲線評価では、5 msec の電流パルス印加して測定した。 R - H 曲線および R - I 曲線評価時の電流通電方向は、参照層から記憶層への電流方向を正方向とした。

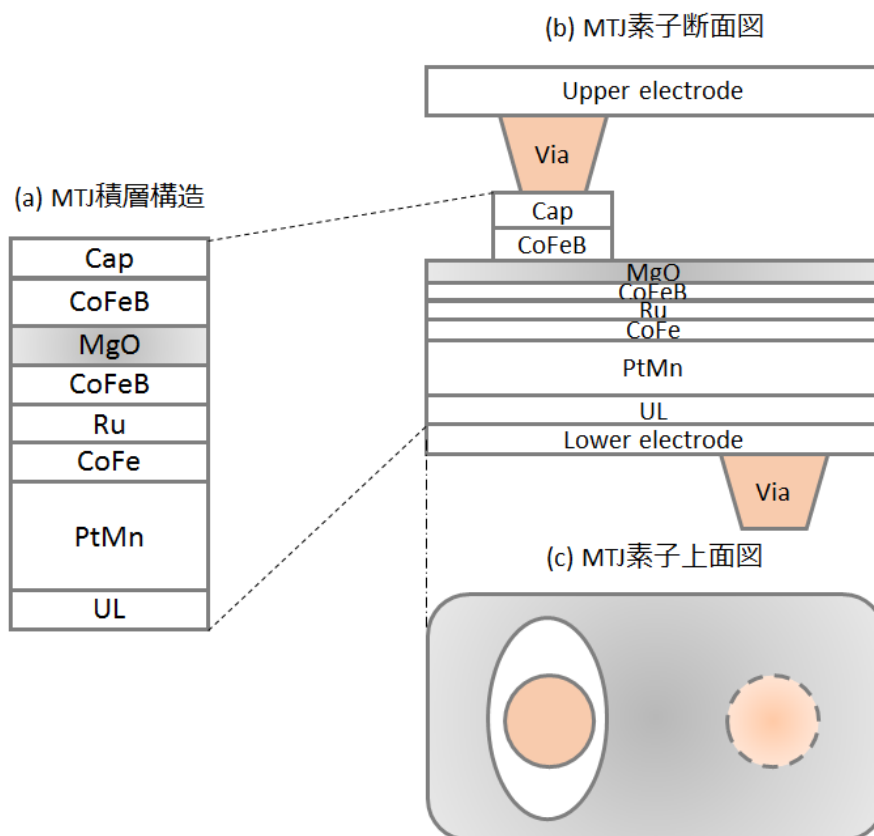


Fig.2-1 面内磁化 MgO-MTJ の構造の模式図. (a) MTJ 積層構造, (b) MTJ 素子断面図, (c) MTJ 素子上面図.

2.3 結果と考察

2.3.1 面内磁化 MgO-MTJ 素子の STT 磁化反転特性

作製した CoFeB/MgO/CoFeB-MTJ 素子の磁気特性と STT 特性を評価した. Fig.2-2 には外部磁界印加により記憶層のみを反転させた場合の(a) R - H 曲線 (Minor R - H 曲線) と STT 磁化反転による(b) R - I 曲線を示した.

Fig. 2-2(a)に示した R - H 曲線から, MTJ の記憶層の保磁力とシフト磁界 H_{shift} は, それぞれ $H_c = 41 \text{ Oe}$, $H_{\text{shift}} = 2.4 \text{ Oe}$ であった. H_{shift} は記憶層に印加される参照層漏洩磁界と記憶層と参照層の Neel カップリング磁界の総和となる. 参照層漏洩磁界と Neel カップリング磁界は互いに反対方向に作用する磁界であり, 参照層の膜厚および MTJ 加工条件などで制御することができる. 本検証では 2.2 節で述べたように参照層の CoFeB 層および CoFe 層の膜厚設定および MgO バリア止め MTJ 加工により最適化が行なわれており, H_{shift} は H_c 値に対して 5.9 % と小さく抑制されている. また, 今回の CoFeB/MgO/CoFeB-MTJ 膜の素子加工前の TMR を CIPT 法で評価した結果, $RA = 10 \Omega \mu\text{m}^2$, $\text{TMR} = 140 \%$ であった. この TMR は素子形成後も同等であった.

Fig. 2-2(b)に示した R - I 曲線から, 本検証で用いた CoFeB/MgO/CoFeB-MTJ はバイアス電流に対して左右対称な曲線形状を有している. 次に CoFeB/MgO/CoFeB-MTJ の STT 磁化反転電流を Fig.2-2(b)に示した R - I 曲線から見積もった. STT 磁化反転電流を求めるために, R - I 曲線の 20 回の繰り返し測定を行った. ここでは, STT 磁化反転電流は磁化反転が始まる電流値とし, それぞれの R - I 曲線から得られた STT 磁化反転電流の平均値をスピン注入磁化反転電流 I_c とした. この時, AP-to-P および P-to-AP それぞれの STT 磁化反転電流は $I_c^{\text{AP-to-P}} = 0.56 \text{ mA}$, $I_c^{\text{P-to-AP}} = 0.76 \text{ mA}$ であった.

次に, STT 磁化反転確率曲線から, CoFeB/MgO/CoFeB-MTJ 素子の記憶層 CoFeB の熱安定性エネルギー ΔE をフィッティングから求めることを試みた. この場合の記憶層の熱安定性エネルギーは電流通電時の熱安定性エネルギー ΔE である. 従って, 電流通電によるジュール熱の影響を受けて低下している. Fig. 2-3 に 20 回の繰り返し測定から得られた STT 磁化反転確率曲線と下記で説明する解析方法により得られたフィッティング曲線を示した. 本 STT 磁化反転測定では, 電流パルス幅は 5.0 msec を用いており, 第 1 章の 1.6.1 項でも述べたように熱活性磁化反転評価となる. 従って, STT 磁化反転の反転確率 P は Brown-Neel 理論 [84] を用いて下記の式で表される.

$$P(I) = 1 - \exp \left\{ -\frac{t_p}{\tau_0} \exp \left[-\frac{\Delta E_0(T)}{k_B T} \left(1 - \frac{I}{I_{c0}} \right) \right] \right\} \quad (2-1)$$

ここで、 k_B はボルツマン定数、 T は測定温度 (297 K)、 τ_0 は attempt 時間 (1×10^{-9} sec)、 t_p は測定で用いた電流パルス幅 (5×10^{-3} sec) である。式(2-1)を用いて、実験で得られた STT 磁化反転電流をフィッティングすることにより ΔE と I_{c0} を求めた。本解析では、記憶層の STT 磁化反転は Stoner-Wohlfarth モデル[85]に従う単磁区磁化反転であると仮定し、最小二乗法を用いたフィッティングを行なっている。Fig. 2-3 に示したフィッティング曲線は精度良く実験データをよく表している。式(2-1)を用いた解析結果から、AP-to-P および P-to-AP 磁化反転の記憶層の熱安定性エネルギー ΔE と 0 K での STT 磁化反転電流 I_{c0} は、それぞれ、 $\Delta E^{\text{AP-to-P}} = 48 k_B T$ 、 $\Delta E^{\text{P-to-AP}} = 50 k_B T$ 、 $I_{c0}^{\text{AP-to-P}} = 0.86 \text{ mA}$ 、 $I_{c0}^{\text{P-to-AP}} = 1.12 \text{ mA}$ であった。今回作製した CoFeB/MgO/CoFeB-MTJ 素子では、 $H_{\text{shift}} = 2.6 \text{ Oe}$ と小さいため、 $\Delta E^{\text{AP-to-P}} \approx \Delta E^{\text{P-to-AP}}$ となり記憶層熱安定性に非対称性はないことが分かる。本解析で得られた STT 磁化反転電流 I_{c0} から、MTJ 形状が楕円形状であると仮定して STT 磁化反転電流密度 J_{c0} を算出すると、 $J_{c0}^{\text{AP-to-P}} = 6.11 \times 10^6 \text{ A/cm}^2$ 、 $J_{c0}^{\text{P-to-AP}} = 7.96 \times 10^6 \text{ A/cm}^2$ となった。 ΔE は MTJ 素子のアスペクト比に依存するが、本検証での MTJ 素子のアスペクト比は 1.6 であり、Gbits 級の STT-MRAM に必要な $\Delta E = 60$ には届かないものの、妥当な数値であると考えられる。STT 磁化反転電流密度は、 $1 \times 10^6 \text{ A/cm}^2$ 以上である。STT 電流効率は

次に、STT 磁化反転電流の非対称性について考察したい。本検証で得られた STT 磁化反転電流密度 J_{c0} から J_{c0} の非対称性を見積もると $J_{c0}^{\text{P-to-AP}}/J_{c0}^{\text{AP-to-P}} = 1.3$ である。一方、Julliere の式(1-1)から、記憶層と参照層が同じ分極率 $P_1 = P_2$ であると仮定して、式(1-10)を用いてスピン分極率 P を求めることができる。今回評価した MTJ の TMR が 140 % であるため、 $P = 0.64$ となる。このスピン分極率 $P = 0.64$ を用いて J_{c0} の非対称性を求めると、 $J_{c0}^{\text{P-to-AP}}/J_{c0}^{\text{AP-to-P}} = 2.4$ となってしまう、実際の STT 磁化反転電流密度の非対称性を説明できない。しかしながら、実際の記憶層 CoFeB の磁性材料としての分極率は $P \sim 0.5$ であると推察され、TMR から求めた磁性層のスピン分極率は大きく見積もりすぎている可能性がある。Diao らも CoFeB 磁性層の実質的分極率として、 $P = 0.46$ を用いている[78]。 $P = 0.46$ と仮定した場合、 $J_{c0}^{\text{P-to-AP}}/J_{c0}^{\text{AP-to-P}} = 1.5$ となり、実験値をほぼ再現していると言える。近年、有限バイアス下での STT 効果と TMR の関係が議論されている。有限バイアスではバイアス電圧増大に伴い TMR は減少するが、STT はバイアス電圧に依存して増大するという報告がある[93][94][95][96]。この結果から考えると、STT 磁化反転時の有限バイアスでの TMR は STT には関与せず、本質的・潜在的な TMR が STT 効果に寄与しているということが出来る。1.6.1 項で述べた STT 磁化反転電流の原理からも STT 磁化反転現象は、磁性電極層のスピン分極率に依存すると考えるのが自然である。従って、有限バイアス化の TMR から求めた分極率がそのまま STT のスピン分極率として作用するかについては、議論の余地がある。

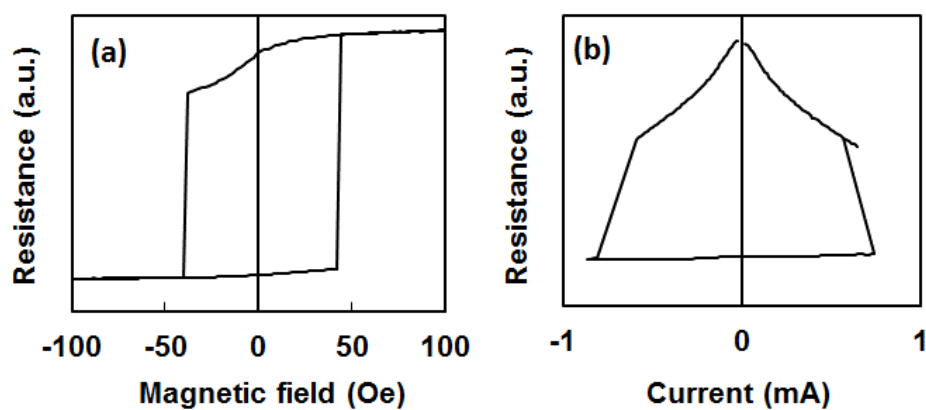


Fig.2-2 面内磁化 MgO-MTJ 素子の(a) R - H 曲線と(b) R - I 曲線.

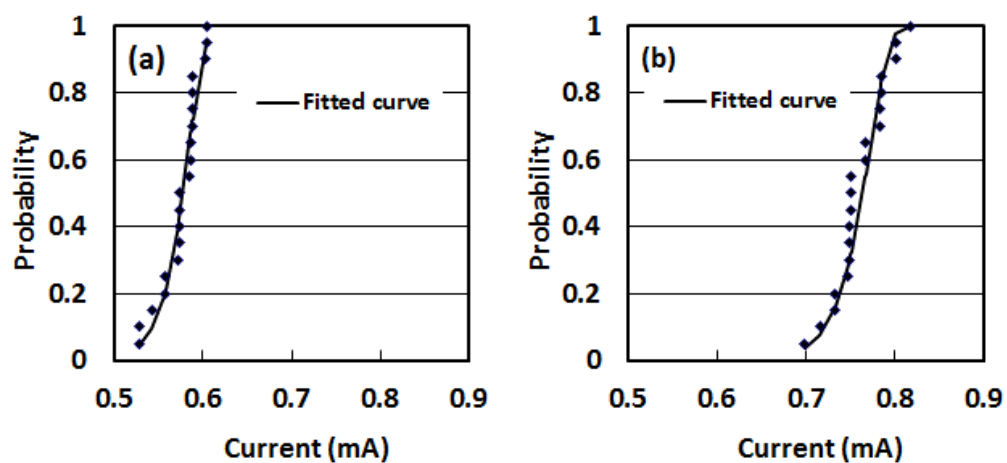


Fig.2-3 面内磁化 MgO-MTJ 素子の STT 磁化反転確率曲線. (a) AP-to-P 磁化反転, (b) P-to-AP 磁化反転.

2.3.2 R - H 曲線のバイアス電流依存性

MgO を用いた MTJ 素子における STT 磁化反転挙動を調べるために、 R - H カーブのバイアス電圧依存性を測定した。バイアス電圧は素子破壊電圧を考慮し、正負 500 mV の範囲で評価した。バイアス電圧方向は参照層から記憶層方向への電流方向を正とした。この条件の場合、正バイアス電圧側が記憶層へスピンが注入される方向であり、負バイアス電圧側が参照層から反射されたスピンが注入される方向である。本測定ではバイアス電圧が一定であるため、MTJ 素子の抵抗に応じて流れる電流値が変化する。

Fig. 2-4 に各バイアス電圧での R - H 曲線を示した。適用したバイアス電圧は ± 100 mV, ± 300 mV, ± 400 mV, ± 500 mV である。Fig. 2-4(a), (b) はそれぞれ 正バイアス電圧, 負バイアス電圧の測定結果である。各バイアス電圧測定で得られた R - H 曲線から記憶層の H_c と H_{shift} を定量化した。Fig. 2-5 には記憶層の H_c および H_{shift} のバイアス電圧依存性を示した。まず、Fig. 2-4(a) と (b) の R - H 曲線のバイアス電圧に対する変化を比較すると R - H 曲線の変化挙動の違いが明確である。正バイアス電圧では、記憶層の H_{shift} の変化が主であり、負バイアス電圧では記憶層の H_c の変化が主であるように見える。さらに詳細に Fig. 2-5 を見ていくと、記憶層の H_c はバイアス電圧の正負に関わらず絶対値の増大に従い低下しており、正負バイアス電圧で対称な変化を示している。 H_c は 2 次曲線に近い振る舞いをしている。一方、 H_{shift} の傾きは正バイアス電圧で傾きが大きく、負バイアス電圧で傾きが小さくなっており、正負バイアス電圧に対して 1 次曲線的な変化を示しており、正負バイアス電圧に対して非対称に変化している。この結果に基づくと、 H_{shift} のバイアス電圧依存性は STT 効果を示しており、 H_c のバイアス電圧依存性は通電によるジュール熱の影響を示していると予測される。ジュール熱は、MTJ 素子に投入される電力 P に比例するため、電圧 V に対して 2 次曲線的な振る舞いが予想される。さらに、Fig. 2-5 に見られる H_{shift} と H_c の関係から、正バイアス電圧では H_{shift} の変化量が相対的に大きく STT が支配的になり、 R - H 曲線の変化が生じていると考えられる。一方、負バイアス電圧では STT は相対的に小さく、バイアス電圧印加による H_c の低減が支配的となり磁化反転していると考えられる。本測定で観測された R - H 曲線のバイアス電圧極性依存性は、 H_{shift} が STT 効果を示しているとするならば、第 1 章の 1.6.1 項で述べた STT 理論から考えられる知見からは予測できない傾向である。

上述してきた H_c と H_{shift} の挙動を解明するためには、ある仮定に基づいたジュール熱解析が必要となる。STT 磁化反転におけるジュール熱の影響については、後述する 2.3.4 項で詳細に考察する。また、本項の結果では H_{shift} はバイアス電圧 V に比例し、 H_c はバイアス電圧 V^2 に比例するような挙動を示している。すなわち、バイアス電圧に対する 1 次の線形成分と 2 次曲線成分の 2 つが作用しているように見える。この挙動と似た現象として、磁性体へのスピン注入により作用するトルクとして、STT と同時に作用する新しいトルクであるフィールドライクトルク (Field Like Torque : FLT) という新規概念が

Theodonis らにより提案されている[92]. 本項で得られた H_{shift} と H_c のバイアス電圧依存性挙動の解析には, FLT のような新しいトルクも含めた詳細な議論が必要である. この新規な FLT の作用を含めた考察は, 後述する 2.3.6 項で行なう.

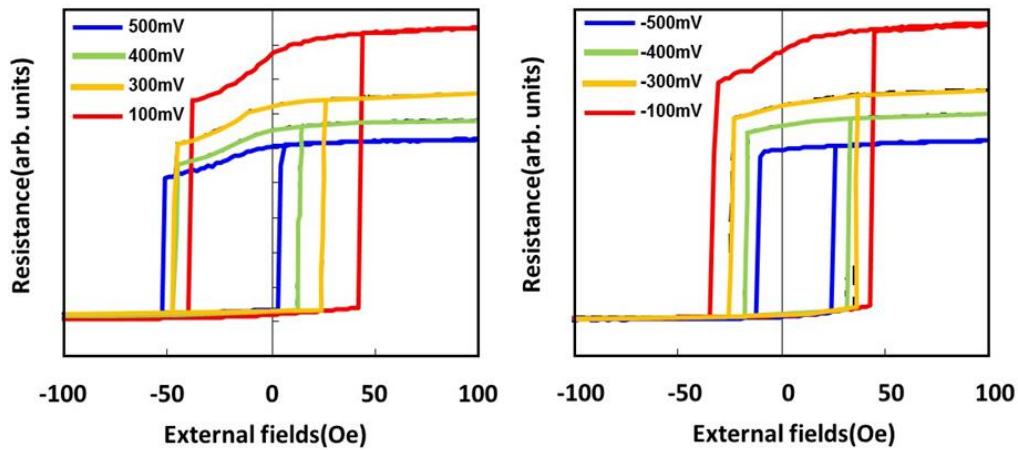


Fig.2-4 面内磁化 MgO-MTJ 素子の R - H 曲線のバイアス電圧依存性.

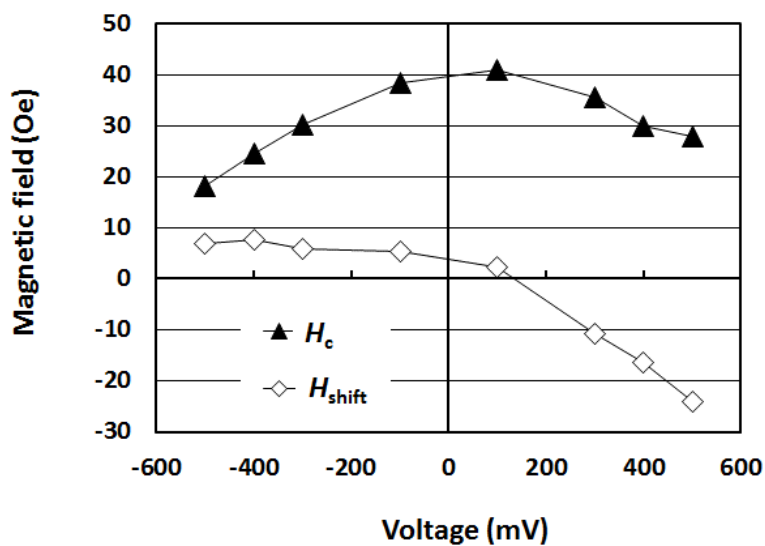


Fig.2-5 面内磁化 MgO-MTJ 素子の記憶層 H_c と H_{shift} のバイアス電圧依存性.

2.3.3 磁気相図 H - I 曲線からみた Back-hopping 発生予測

2.3.2 項で得られた MTJ の R - H 曲線のバイアス電流依存性評価結果から、STT 磁化反転の磁界と電流の影響を示す磁界 H -電流 I 曲線 (H - I 曲線) を作成することを試みた。STT 磁化反転における H - I 曲線は、“磁気相図”とも呼ばれる。磁気相図は STT 磁化反転挙動を解析する際に用いられており有用である。 H - I 曲線の取得方法としては、今回の採用したバイアス電圧一定で外部磁界を掃印する測定方法と、バイアス外部磁界を固定し MTJ 素子への通電電流を掃印する測定方法の 2 つがある。後者では、パルス幅依存性などの H - I 曲線の取得が可能となる。

Fig.2-6 には本検証で用いた MTJ 素子の H - I 曲線を示した。 H - I 曲線では AP 磁化状態、P 磁化状態、AP と P の両状態を取りえる 3 つの磁化状態領域が示される。それぞれの磁化状態は、AP-to-P 磁化反転曲線と P-to-AP 磁化反転曲線で分けられる。Fig.2-6 では、第 1 象限と第 4 象限のデータ点が P-to-AP 磁化反転を示し、第 2 象限と第 3 象限のデータ点が AP-to-P 磁化反転を示す。AP-to-P 磁化反転と P-to-AP 磁化反転の挙動がバイアス符号により特徴を有することが分かる。AP-to-P 磁化反転磁界は、正バイアス電流(第 2 象限)では単調に減少し、かつ、負バイアス電流 (第 3 象限) では単調に増加している。一方、P-to-AP 磁化反転磁界は正バイアス電流の増大、負バイアスの低減と共に単調に減少している。第 4 象限の P-to-AP 磁化反転磁界と第 3 象限の AP-to-P 磁化反転磁界の挙動は、2.3.2 項で述べた記憶層の H_c の負バイアス側での低下と対応しており、記憶層の H_c の負バイアスでの低下は第 4 象限に見られる P-to-AP 磁化反転磁界の負バイアスでの振舞いが起因していると考えられる。

次に、STT 磁化反転の安定性について考える。Fig.2-6 の H - I 曲線の第 4 象限の P-to-AP 磁化反転磁界のガイド線 (赤点線) と第 3 象限の AP-to-P 磁化反転磁界のガイド線 (青点線) を示した。通常、第 3 象限の AP-to-P 磁化反転磁界のガイド線 (青点線) と x 軸 (電流軸) との交点が AP-to-P の STT 磁化反転電流 I_c^{AP-P} である。第 4 象限の P-to-AP 磁化反転磁界のガイド線 (赤点線) も x 軸と交点を持つことが予測できる。すなわち、同じ負バイアス電流極性で AP-to-P の STT 磁化反転電流 I_c^{AP-P} と AP-to-P の STT 磁化反転電流 I_c^{AP-P} の両方が存在することになる。この予測が意味することは、上記の 2 つのガイド線と x 軸 (電流軸) の交点の関係を考えた場合、負バイアス電流では AP-to-P の STT 磁化反転後に電流を増大していくと、今度は P-to-AP の STT 磁化反転 (逆磁化反転) が起こるということを示している。一方、第 1 象限と第 2 象限において、同様な解析を行なったが、P-to-AP の STT 磁化反転後の AP-to-P の STT 磁化反転は起こらない結果となった。

本検証で見られたように、STT 磁化反転後に電流をさらに増大ししていくと、その後逆磁化反転し初期状態に戻ってしまう現象が STT 磁化反転ではよく観測される。この STT 磁化反転における電流増大時に発生する逆磁化反転現象のことを“Back-hopping”と

呼ぶ。Back-hopping 現象は STT 磁化反転特有の現象であり，通電電流によるジュール熱により，記憶層の熱安定性が劣化するために生じる現象であると理解されている．従って，電流通電のない外部磁界のみによる磁化反転では Back-hopping は起こらない．また，STT 磁化反転電流と Back-hopping 電流の差が小さくなると，STT 磁化反転自身が非常に不安定になることが分かる．

上述してきたように，本検証で用いた面内磁化 MTJ 素子では，P-to-AP の STT 磁化反転では Back-hopping は発生せず，AP-to-P の STT 磁化反転で Back-hopping 現象が発生する確率が高くなるであろうことが予測された．Back-hopping は STT-MRAM デバイスの動作上，書き込みマージンの低下を引き起こし，大きな課題となる．Back-hopping 発生メカニズムと STT-MRAM のデバイス動作時に与える影響とその問題点については，2.3.5 項で後述する．

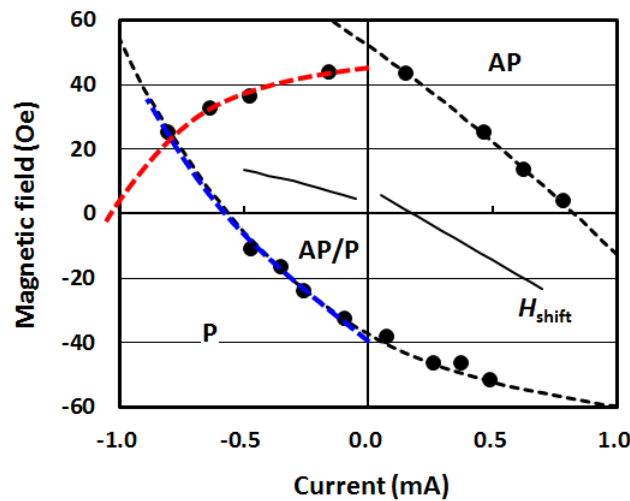


Fig.2-6 面内磁化 MgO-MTJ 素子の STT 磁化反転の H - I 曲線（磁気相図）．

2.3.4 磁気相図を用いたジュール熱の影響解析

本項では、面内磁化 STT 磁化反転の正負バイアスでの振る舞いについて、STT 磁化反転が通電中に受けるジュール熱の影響の評価解析し考察を行う。STT 磁化反転時の電流通電によるジュール熱の影響に関する報告はいくつかあり議論されている[65][86][87]。Fuchs らはジュール熱の影響の解析を行い、その影響を調べている[87]。ここでは、Fuchs らと同様の手法を用いて、ジュール熱の影響を解析する。Fuchs らのモデルでは、MTJ 素子を一次元の不均一な配線であり、ジュール熱は MTJ バリア層で発生し、熱伝導は伝導電子のみに依り、Weidemann-Franz 則に従うと仮定している。その場合、熱伝導方程式の解析から、記憶層に及ぼされる熱は下記で与えられる[87]。

$$T = \sqrt{T_{\text{bath}}^2 + \beta I^2} \quad (2-2)$$

ここで、係数 β は材料およびデバイス構造に起因する電流による発熱効率因子である。式(2-2)と式(1-13)と式(1-15)を用いると、電流通電による発熱を加味した熱活性 STT 磁化反転の式は下記で与えられる[87]。

$$H = H_{c0} \left\{ 1 - \sqrt{\frac{k_B \sqrt{T_{\text{bath}}^2 + \beta I^2}}{\Delta E} \left(1 - \frac{I}{I_{c0}}\right)^{-1} \ln\left(\frac{t_p}{\tau_0 \ln 2}\right)} \right\} \quad (2-3)$$

式(2-3)を用いて、AP-to-P 磁化反転と P-to-AP 磁化反転それぞれ独立に熱の影響を解析した。まず今回の解析では、Fig.2-6 で得られた STT 磁化反転磁気相図の第1象限と第3象限を用いて、AP-to-P STT 磁化反転と P-to-AP STT 磁化反転のジュール熱の影響を解析した。第1象限の P-to-AP 磁化反転と第3象限の AP-to-P 磁化反転は、通常適用される STT 磁化反転に対応している挙動である。式(2-3)から I_{c0} 、 H_{c0} 、 β 、 ΔE をフィッティング変数としてフィッティングを行った。フィッティング変数が多いため、フィッティングの精度は悪い可能性がある。解析の結果、 $\beta^{\text{AP-to-P}} = 1.0 \times 10^5 \text{ K}^2/\text{mA}^2$ 、 $\beta^{\text{P-to-AP}} = 3.5 \times 10^4 \text{ K}^2/\text{mA}^2$ が得られた。発熱量因子である β 値を比較すると、 $\beta^{\text{AP-to-P}}$ の方が $\beta^{\text{P-to-AP}}$ のよりも約3倍程度大きい結果となっている。ジュール熱起因の場合、発熱量は電力 $P(P = IV = I^2 R)$ に依存することが想定され、MTJ 素子抵抗 R に依存することが予想できる。今回第1象限と第3象限のフィッティングから得られたそれぞれの β は、STT 磁化反転直前の AP 状態の MTJ 素子抵抗 R_{AP} と P 状態 MTJ 素子抵抗 R_{P} の差で説明できると考えられる。しかしながら、P-to-AP 曲線側のフィッティング曲線は

Fig.2-6 に示したように第 1 象限では測定データ点と非常に良い一致をみせているものの、第 4 象限では測定データ点とフィッティング曲線に大きな乖離が見られる。今回の解析結果は P-to-AP 磁化反転の第 4 象限での挙動を表せておらず、MTJ 素子に起因するジュール熱の効果だけでは第 4 象限の挙動は説明がつかないと考えられる。すなわち、ジュール熱の抑制だけでは、AP-to-P の STT 磁化反転時に発生すると予測された Back-hopping は抑制できないことを示唆している。

次に、Fuchs らが提案した電流通電によるジュール熱を考慮した STT 磁化反転のモデル[87]から得られた式(2-3)を用いて、ある仮定を前提に解析的に H - I 曲線（磁気相図）を描き、ジュール熱起因を想定した Back-hopping 回避のための定性的な方向性を探った。 H - I 曲線を作成にあたり、AP-to-P と P-to-AP は対称であることを仮定した。すなわち、2.3.3 項で得られたような磁気相図の非対称性についてはここでは考慮しない。定性的な議論のため、 I_c , H_c , は、 I_{c0} および H_{c0} で規格化した。記憶層の熱安定性エネルギーは $\Delta E = 50 k_B T$, 系の設定温度は $T = 297$ K, バイアス電流パルス幅は $t_p = 2.0$ secとした。まず、ジュール熱発熱効率係数である β 値を変化させて H - I 曲線を作成した。Fig.2-7 にその結果を示した。Fig.2-7 では β 値が大きくなると、STT 磁化反転電流と Back-hopping 電流の差は小さくなる。 $\beta = 5 \times 10^6 \text{ K}^2/\text{mA}^2$ では STT 磁化反転電流と Back-hopping 電流の差はほとんど消失する。このように H - I 曲線の挙動は β 値に対して大きく依存することが分かる。しかしながら、 β 値は MTJ 素子抵抗および MTJ 素子構造が決まると一意に決まってしまうパラメータであり、デバイス設計上フレキシブルに変更はできない。そこで、Fig.2-7 の条件をベースに I_{c0} の依存性を計算し H - I 曲線を作成した。Fig.2-8 にその結果を示した。 I_{c0} を 2 倍に増大させると、Fig.2-8(a)に示した H - I 曲線から分かるように、STT 磁化反転電流と Back-hopping 電流の差はほとんど消失する。一方、 I_{c0} を 0.5 倍に低下させることで、Fig.2-8(c)に示した H - I 曲線は大幅に改善し、STT 磁化反転電流と Back-hopping 電流の差が増大することが分かる。このことから、Back-hopping が STT 磁化反転時の電流通電によるジュール熱起因が主だとするならば、低 STT 磁化反転電流化することにより、STT 磁化反転の Back-hopping 発生確率を低く抑制できるとが容易に推察できる。

上述してきたように、本検証で用いた面内磁化 MTJ の H - I 曲線を用いたジュール熱解析により、AP-to-P の STT 磁化反転で発生すると予測される Back-hopping は MTJ 素子の抵抗に起因するジュール熱だけでは説明できないことが分かった。また、各種パラメータによる H - I 曲線挙動解析の結果から、ジュール熱起因の Back-hopping 発生確率を下げるためには、STT 磁化反転電流の低減しか方策がないことも明らかとなった。

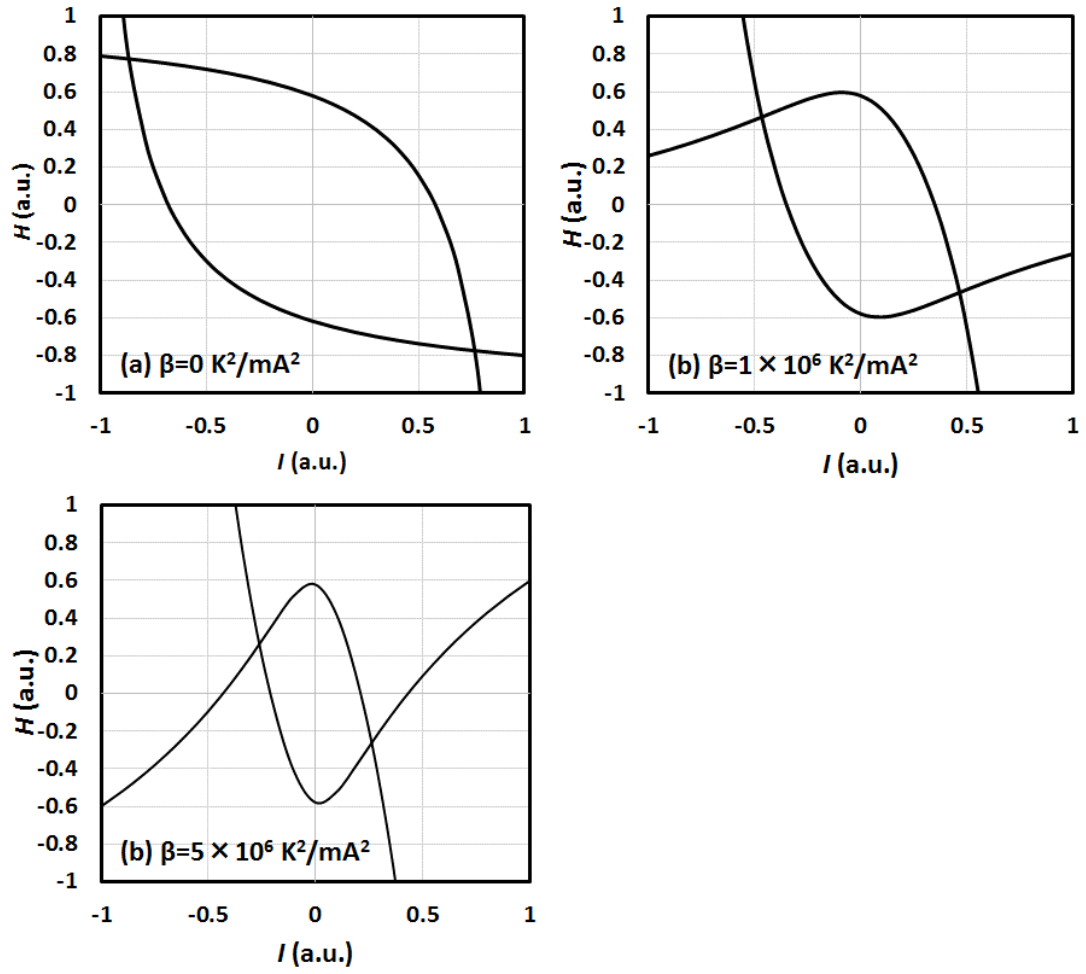


Fig.2-7 解析式から得られた H - I 曲線の β 値依存性. (a) $\beta = 0 \text{ K}^2/\text{mA}^2$, (b) $\beta = 1 \times 10^6 \text{ K}^2/\text{mA}^2$, (c) $\beta = 5 \times 10^6 \text{ K}^2/\text{mA}^2$.

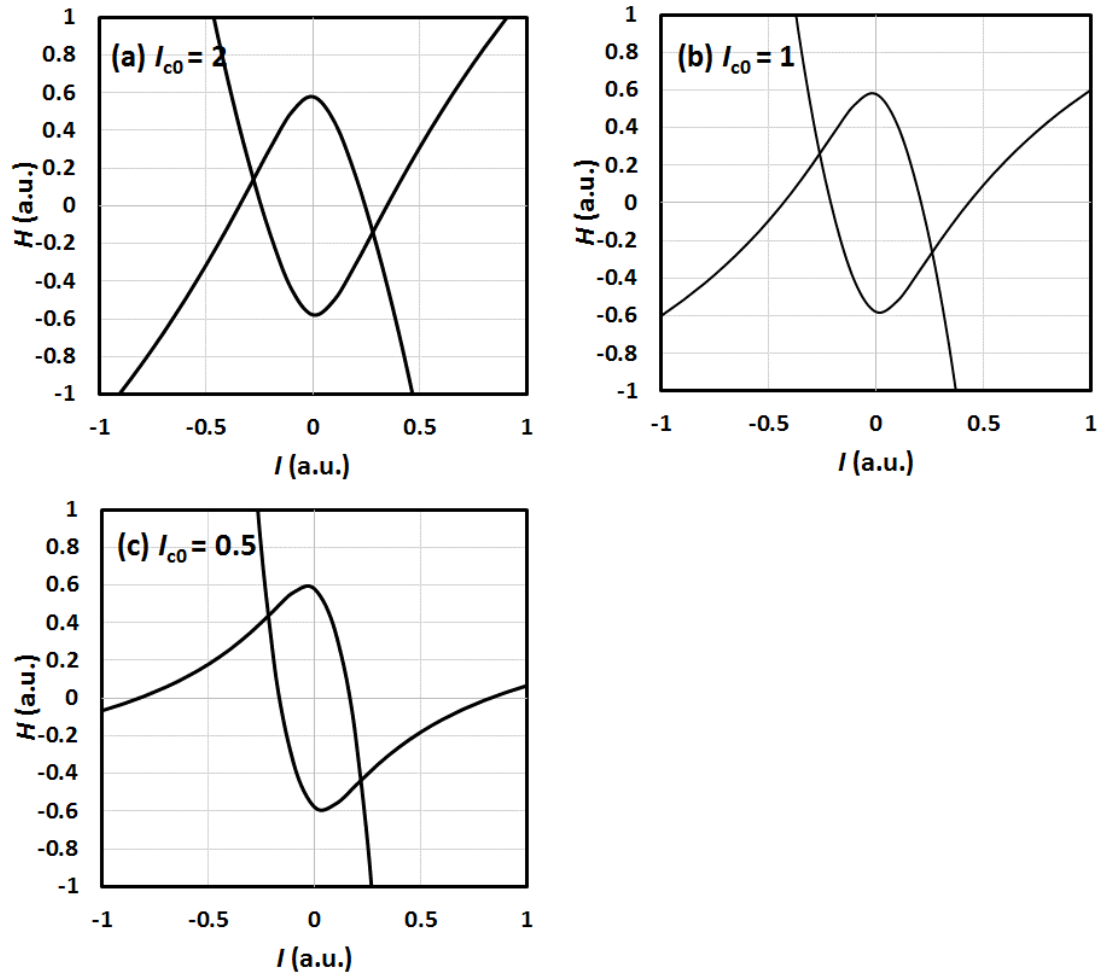


Fig.2-8 解析式から得られた H - I 曲線の規格化された I_{c0} 値依存性. (a) $I_{c0} = 2$, (b) $I_{c0} = 1$, (c) $I_{c0} = 0.5$.

2.3.5 Back-hopping 発生の非対称性

2.3.3 項で述べたように、面内磁化 MTJ の STT 磁化反転では Fig.2-6 に示した磁気相図 H - I 曲線から AP-to-P の STT 磁化反転時に Back-hopping により STT 磁化反転が不安定になることが予測された。しかしながら、2.3.4 項で行なわれた解析結果から、本検証で見られた AP-to-P の STT 磁化反転での Back-hopping の発生は、MTJ 素子への電流通電によるジュール熱の影響だけでは説明がつかないことも明らかとなった。

本項では、STT-MRAM デバイスの書き込み動作という観点で、Back-hopping 現象について議論する。STT 磁化反転での Back-hopping の発生についてはいくつかの報告がある[88][89][90][91]。一般的に、Back-hopping は記憶層の熱安定性エネルギー ΔE と相間がある。Back-hopping 現象は、記憶層の熱安定性エネルギー、すなわち、磁気異方性エネルギー ΔE と観測システムの熱エネルギーが等価になった時に起こると理解することができる。この場合、MTJ 素子の記憶層は AP 磁化状態と P 磁化状態のエネルギーバリアが消失し、両方の状態を取り得る状態になる。よって、Back-hopping は AP-to-P および P-to-AP の STT 磁化反転の両方で起こる現象である。しかし実際には MTJ 素子の記憶層の特性は参照層からの漏洩磁界や Neel カップリングの影響、さらにはそれらの温度特性の影響を受けて Back-hopping 現象の発生は非対称になり得ると考えられる。従って、Back-hopping の発生状況を正確に把握するためには、 R - I 曲線や R - H 曲線、 H - I 曲線の挙動を詳細に解析する必要がある。

Sun ら[88]は、面内磁化 STT-MRAM の Back-hopping 現象発生のバイアス極性による非対称性について報告をしている。Sun らの報告では AP-to-P 磁化反転側で Back-hopping が起こりやすく、STT 書き込みのバイアス電圧を上昇させても、AP-to-P 磁化反転確率は 1 に飽和しないことを示している。Sun らの結果を Fig.2-9 に示した。AP-to-P 磁化反転後、さらに電流を上昇させると AP 状態と P 状態の両方の状態を取り得る不安定な状態 (Telegraph 状態) になると結論づけている。Fig.2-10 の赤線矢印によりその状況の遷移を示している。この結果は、本検証で示した結果と良く一致している。しかしながら、AP-to-P の STT 磁化反転でなぜ Back-hopping 発生確率が高くなるのかについての明確な結論は出されていない[88]。Sun らも STT 磁化反転時の通電によるジュール熱だけでは AP-to-P の STT 磁化反転時のみの Back-hopping 発生確率増大は説明できないと述べている。その要因の候補として、高エネルギーを有するトンネル電子の記憶層への注入によるホットエレクトロン効果が挙げられている。さらに Sun らが報告している面内磁化 MTJ で顕在化している AP-to-P の STT 磁化反転で発生している Back-hopping の根本的な問題点は、書き込み電流を増大させても書き込み確率が 1 にならないことにある。STT-MRAM のデバイス設計では、STT 磁化反転電流と Back-hopping 電流の差が書き込みマージンとなる。従って、Back-hopping の発生は書き込みマージンの低下につながり、デバイス動作上致命的な問題である。本章で検証してきた面内磁化 STT 磁化反転

では, Back-hopping は避けられない可能性がある. 現状において, Back-hopping を抑制するためには, ジュール熱の抑制しか効果的な策はない状況である.

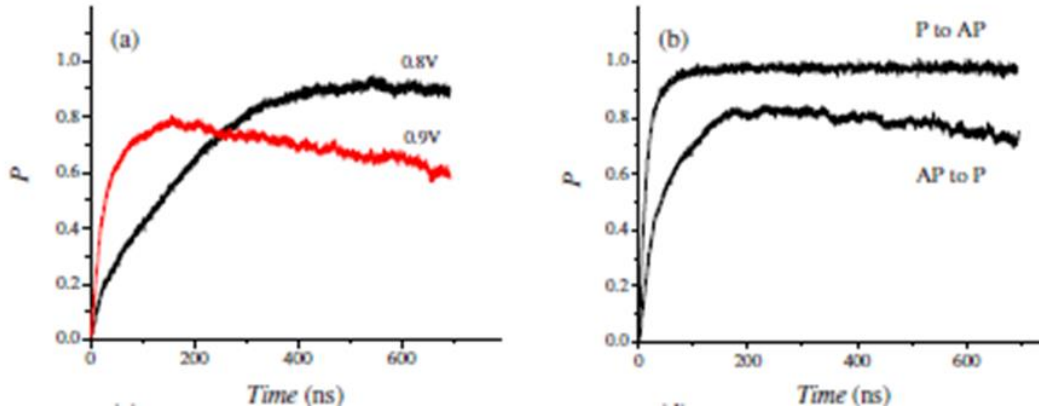


Fig.2-9 面内磁化 MgO-MTJ の STT 磁化反転の磁化反転確率の電流パルス幅依存性 [88]. (a) AP-to-P 磁化反転での 0.8V と 0.9V 書き込みの比較, (b) P-to-AP STT 磁化反転と AP to P STT 磁化反転の比較.

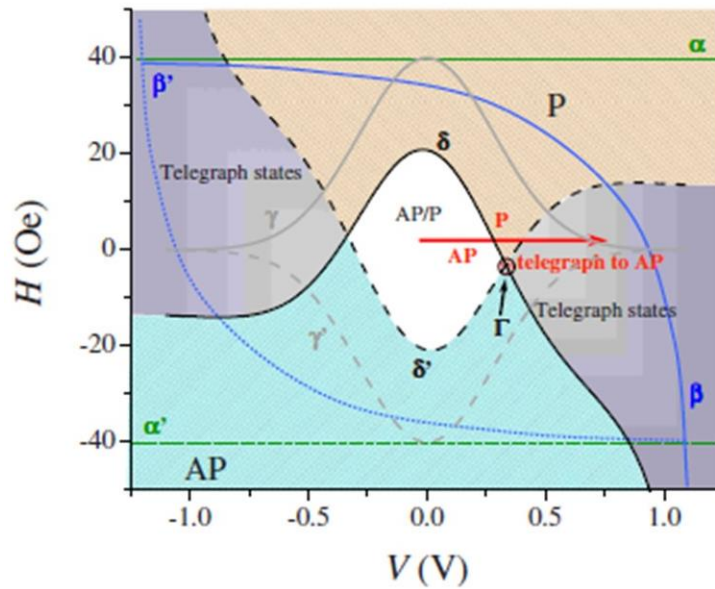


Fig.2-10 面内磁化 MgO-MTJ の STT 磁化反転の H - V 曲線 (磁気相図) [88].

2.3.6 フィールドライクトルクの影響

2.3.3 項では H - I 曲線（磁気相図）から AP-to-P STT 磁化反転での Back-hopping の発生を予測し、2.3.4 項では STT 磁化反転における電流通電によるジュール熱の影響を解析することで Back-hopping とジュール熱の関係を考察した。しかしながら、AP-to-P STT 磁化反転側のみで観測された Back-hopping 発生の非対称性の要因は、ジュール熱の影響だけでは説明できなかった。本項では、MTJ 素子の電流誘起による磁化反転において、スピントルクとは異なるトルクの効果について考え、上述した AP-to-P STT 磁化反転のみで発生する Back-hopping の非対称性の要因が解明できないか検討した。

2006 年、MTJ 素子に印加されるバイアス電圧に依存して働く新規トルクとして、フィールドライクトルク（FLT : Field Like Torque）の存在が Theodonis らにより理論的に見出された[92]。FLT は面内方向に働く STT（Spin Transfer Torque）とは異なり、面直方向に働くトルクと定義されている。記憶層に容易軸方向の外部磁界印加した時に磁性体が受ける作用と同じ方向を有するため FLT と呼ばれる。本研究の遂行と同時期に FLT の観測の成功例が報告され、STT と FLT の関係、バイアス電圧極性依存性について議論され始めた[93][94][95]。FLT モデルでは、スピン偏極した電子が記憶層に注入された場合、STT と FLT が記憶層に作用する。FLT はバイアス電圧極性に対して反対称の効果をもっており、ある閾値電圧以上ではおおそ 2 次曲線的に振舞う。閾値電圧は 100-400 mV であることが報告されている。STT はバイアス電圧極性に対して非対称であり、正負バイアス電圧に対して 1 次曲線的に振舞う。FLT はスピン励起に関わる現象と考えられており、記憶層の熱擾乱あるいは磁気擾乱と同様な効果がある。有限電圧で磁化反転する STT 磁化反転では、FLT と熱擾乱効果の分離は困難である。特に STT 磁化反転電流が FLT の閾値よりも大きい場合、FLT はバイアス電圧に対して 2 次曲線的な効果をもつ。従って、 H - I 曲線（磁気相図）ではジュール熱による熱擾乱効果と FLT による効果は分離することは難しい。

次に、述した AP-to-P STT 磁化反転のみで発生する Back-hopping の非対称性の要因が、FLT を用いて説明できるかを考察する。Theodonis らによると、P-to-AP の STT 磁化反転で FLT の効果は顕著に見られることが理論的に示唆されている[92]。また、後の実験検証結果[93][94][95]でも Theodonis らの理論[92]を支持する結果が報告されている。この観点からすると、FLT の寄与はあるものの、本検証で見られた AP-to-P 側での Back-hopping による書き込みマージンの低下、 H - I 曲線の第 4 象限での P-to-AP 磁化反転曲線挙動について定性的定量的に説明することができない。一方、2009 年に Oh らにより FLT の非対称性について議論されている[96]。Oh らによると参照層と記憶層の熱安定性エネルギー ΔE^{RL} と ΔE^{SL} の大小関係から、FLT の非対称性は変化し、これまで P-to-AP 側で強く作用していた FLT が、参照層と記憶層の熱安定性エネルギーの設定次第によっては、AP-to-P 側でも強く作用する可能性があることを示唆している。本検証で用い

た MTJ の参照層と記憶層の熱安定性エネルギー ΔE がどのような関係にあるかは明確ではない。しかしながら, Oh らの報告から FLT を考慮することで, 本検証で得られた AP-to-P 側の STT 磁化反転での Back-hopping による書き込みマージンの低下は説明できる可能性があると考えられる。ただし, 非対称性の操作が可能となっても, Back-hopping の影響を避けられる可能性がある訳ではなく, 面内磁化 MTJ における Back-hopping 問題は回避できないと考えられる。

2.4 垂直磁化方式の優位性

本節では垂直磁化方式の STT-MRAM における低 STT 磁化反転電流の優位性について述べる．第1章の1.6.4項でも述べたように STT-MRAM を高密度化・大容量化するためには，選択トランジスタの駆動電流よりも小さな STT 磁化反転電流 I_c が必要である．STT-MRAM には，DRAM を超える低消費電力化，高密度化が望まれており， I_c 低減すなわち消費電力の低減は必須である．

ここで，マクロスピンモデルにおける I_c と $I_c/\Delta E$ の MTJ 素子直径依存性について説明する．一般に，MTJ 膜構成を変化させない場合， I_c は MTJ 素子直径 D に依存し， D^2 で増大する．また，記憶層の熱安定性エネルギー ΔE は $\Delta E = K_u V$ で表されるため， D^2 で増大することになる．故に，磁化反転挙動がマクロスピンモデルに従う場合， $I_c/\Delta E$ は一定となり，STT 磁化反転電流効率 $I_c/\Delta E$ は MTJ 素子直径に依存しないことになる．この論理に従うならば，面内磁化方式の場合，記憶層の熱安定性エネルギーは形状異方性に依存しており，記憶層全体で熱安定性を確保し概ねマクロスピンモデル的な挙動をとる傾向にある．そのため，MTJ 素子の微細化による I_c 低減は見込めるが， $I_c/\Delta E$ の改善は見込めない．従って，十分な I_c 低減が図れない可能性が高い．

面内磁化 MTJ の $I_c/\Delta E$ を改善し I_c を低減するための方法として，2つの反平行磁化配列を持つスピン注入源を有する Dual-STT-MTJ 構造[97][98]および2つの直交する磁化配列を持つスピン注入源を有する OST (Orthogonal Spin Transfer) -MTJ 構造[99][100]が提案されている．Fig.2-11 に Dual-STT-MTJ 構造と OST-MTJ 構造の模式図を示した．

Dual-STT-MTJ では，反平行磁化配列を持つスピン注入源が2つになることより，STT 効率 $g(\theta)$ が改善される．Dual-STT-MTJ 構造の場合，3つの磁性層の分極率 P が等しい ($P = P_1 = P_2 = P_3$) と仮定すると，式(1-11)を用いて STT 効率 $g(\theta)$ は下記のように与えられる[98]．

$$g(\theta)^{Dual} = g(\theta) + g(\pi - \theta) = \frac{P}{1 - P^4 \cos^2(\theta)} \quad (2-4)$$

Dual-STT-MTJ 構造では，STT 効率は式(2-4)に表されるように，STT 磁化反転電流が低減すると同時に AP-to-P と P-to-AP 磁化反転時の STT 電流の非対称性が改善される．

OST-MTJ 構造では互いに直交関係を有するスピン注入源を有する．一つは面内磁化の参照層であり，もう一つは垂直磁化を有するスピン注入源である．垂直磁化スピン注入源からのスピントルクは磁化の歳差運動方向に作用するため，STT 磁化反転の歳差運動速度が大きくなり，磁化反転速度の高速化が可能となる．この効果は面内磁化 MTJ 構造でのみ有効である．磁化反転時間が短くなることで結果的に STT 磁化反転に要する電力量は低減される．また，垂直磁化スピン注入源から記憶層に面直な外部磁界が付与

されることで面直方向の反磁界が軽減され，STT 効率が改善される効果も期待できる[99].

上述した2つの面内磁化 MTJ の STT 磁化反転電流低減策は，STT 効率改善により I_c の低減は期待できるが，MTJ 構造が複雑となり，MTJ 膜厚が増大してしまう課題が残る．また，Dual-STT-MTJ では記憶層の両側に互いに反平行となる参照層が設置されるため，MTJ 素子で得られる TMR が減少するというデメリットがある．

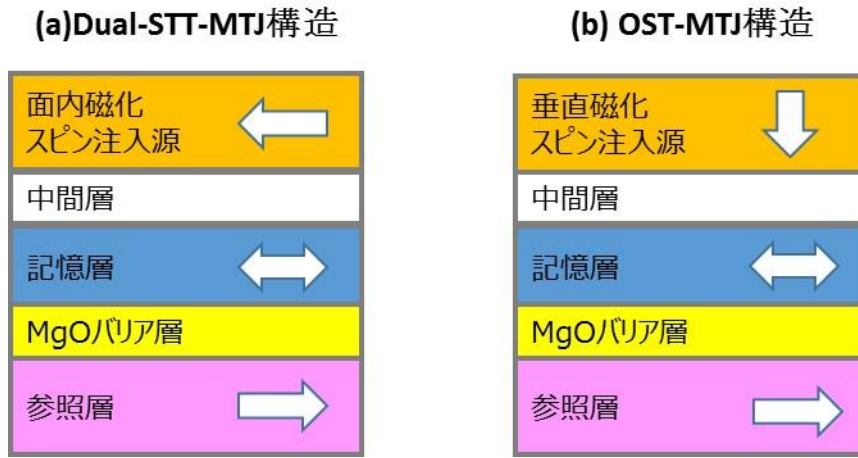


Fig.2-11 (a)面内磁化 Dual-STT-MTJ の積層構造の模式図，(b)OST-MTJ の積層構造の模式図．

このような状況の中，2006 年，Mangin らと Meng らは互いに独立に垂直磁化方式のスピン注入磁化反転を提案した[101][102]．彼らは垂直磁化 GMR 素子で始めてスピン注入磁化反転が実験的に観測に成功した．Mangin らの報告[101]では，垂直磁化方式でのスピン注入磁化反転電流が面内磁化方式よりも小さくなる可能性があることが示された．彼らのモデルでは，面内磁化方式でのスピン注入磁化反転電流は下記で与えられる[101]．

$$I_c = \frac{2e\alpha}{\hbar g(\theta)} M_s V (H_{k\parallel} + 2\pi M_s) \quad (2-5)$$

一方，垂直磁化方式でのスピン注入磁化反転電流は下記で与えられる[101].

$$I_c = \frac{2e\alpha}{\hbar g(\theta)} M_s V (H_{k\perp} - 4\pi M_s) \quad (2-6)$$

ここで， e は電子の電荷， α はダンピング， \hbar はプランク定数， M_s は記憶層の飽和磁化， $H_{k\parallel}$ ， $H_{k\perp}$ はそれぞれ面内磁化と垂直磁化の記憶層の異方性磁界， $g(\theta)$ は STT 効率である．式(2-5)および式(2-6)では垂直磁化方式の STT 磁化反転電流低減効果が明瞭ではないが，記憶層の実効的な磁気異方性を考えると，垂直磁化方式の方の I_c が小さくなる可能性があると報告されている．

また，2007 年，Magin らと同様なモデルが Yoda らによっても独立に提案され，垂直磁化 MTJ の磁化反転の初めての観測結果も示された[103]. Fig.2-12 に Yoda らが示した面内磁化方式と垂直磁化方式の STT 磁化反転電流の違いを示す模式図を示した[103][104][105]. Yoda らのモデルでは，熱擾乱磁化反転時と STT 磁化反転時の磁化反転経路およびそれぞれの経路のエネルギー障壁の違いが示された．ここで熱擾乱磁化反転時のエネルギー障壁は，記憶層の熱安定性エネルギー ΔE と等価である．面内磁化方式では STT 磁化反転時に磁化反転を阻害する面直方向の反磁界の影響により STT 磁化反転時のエネルギー障壁の方が熱擾乱磁化反転時のエネルギー障壁よりも高くなる．一方，垂直磁化方式では磁化反転方向と反磁界方向同じであるため，STT 磁化反転時と熱擾乱磁化反転時のエネルギー障壁は同じとなる．従って，STT 磁化反転電流効率では垂直磁化方式の方が有利となることを示した．Yoda らは記憶層の熱安定性エネルギー障壁 ΔE を用い，面内磁化方式と垂直磁化方式の STT 磁化反転電流を下記のように表した[103][104][105].

<面内磁化方式>

$$I_c = \frac{2e\alpha}{\hbar g(\theta)} (2\Delta E + 2\pi M_s^2 S t) \quad (2-7)$$

<垂直磁化方式>

$$I_c = \frac{2e\alpha}{\hbar g(\theta)} (2\Delta E) \quad (2-8)$$

ここで，熱安定性エネルギー ΔE は $\Delta E = K_{u\text{-eff}} V$ であり， S と t はそれぞれ記憶層の面積と膜厚である． $K_{u\text{-eff}}$ は，記憶層の異方性磁界 H_k と飽和磁化 M_s を考慮した実効的な磁気異方性エネルギーである．上記の式(2-7)と式(2-8)から分かるように，記憶層が同じ熱安定性エネルギー ΔE を持つ場合，垂直磁化方式の方がスピン注入磁化反転 I_c は小さい．面内

磁化方式の場合，面直方向の反磁界の影響で $2\pi M_s^2 St$ だけ電流値が大きくなる．式(2-7)と式(2-8)を変形し，STT 磁化反転電流効率 $I_c/\Delta E$ を導くと，垂直磁化方式では STT 磁化反転電流効率 $I_c/\Delta E$ も改善される．

Fig.2-13 には垂直磁化方式と面内方式の磁気異方性の起源の模式図を示した．垂直磁化方式では，記憶層の結晶構造の異方性に起因する結晶磁気異方性を用いるため，記憶層の熱安定性エネルギー，すなわち，磁気異方性エネルギーは MTJ 素子形状には依存しない．一方，面内磁化方式では，記憶層の磁気異方性は記憶層外形状に起因する異方性を用いるため，記憶層の熱安定性エネルギーが形状異方性に依存するようになる．垂直磁化 MTJ では熱安定性が形状に依存しないため，円形状を用いることができる．従って，垂直磁化方式では，MTJ 素子直径を理論的セル最小寸法 F まで小さくできる可能性がある．MTJ Fig.2-14 に垂直磁化方式と面内磁化方式の STT-MRAM セルサイズの比較を模式的に示した．面内磁化方式では，最小 MTJ サイズが $2F^2$ となるため，STT-MRAM セルの最小サイズは $12F^2$ となる．一方，垂直磁化方式では，MTJ サイズが F^2 まで縮小可能であるため，STT-MRAM セルは理論最小サイズである $8F^2$ まで小さくすることが可能となる．

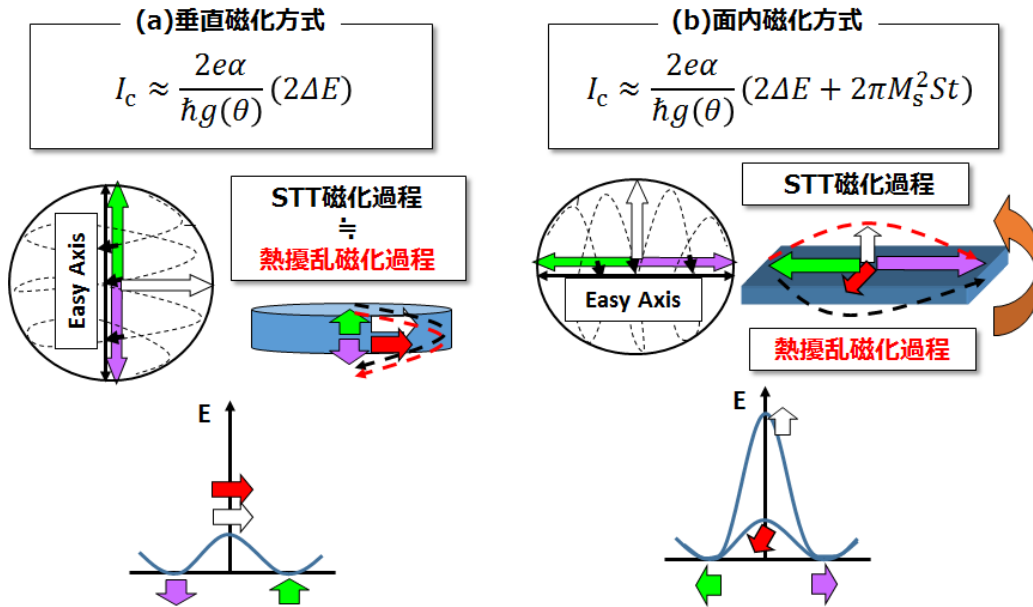


Fig.2-12 STT 磁化反転と熱活性磁化反転の磁化過程を示した模式図[103][104][105]. (a) 垂直磁化方式，(b)面内磁化方式.

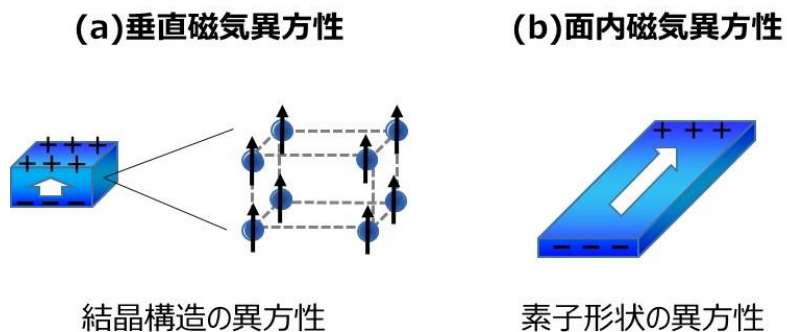


Fig.2-13 MTJ 記憶層の一軸磁気異方性の起源を模式的に示した図. (a) 垂直磁化方式の記憶層, (b) 面内磁化方式の記憶層.

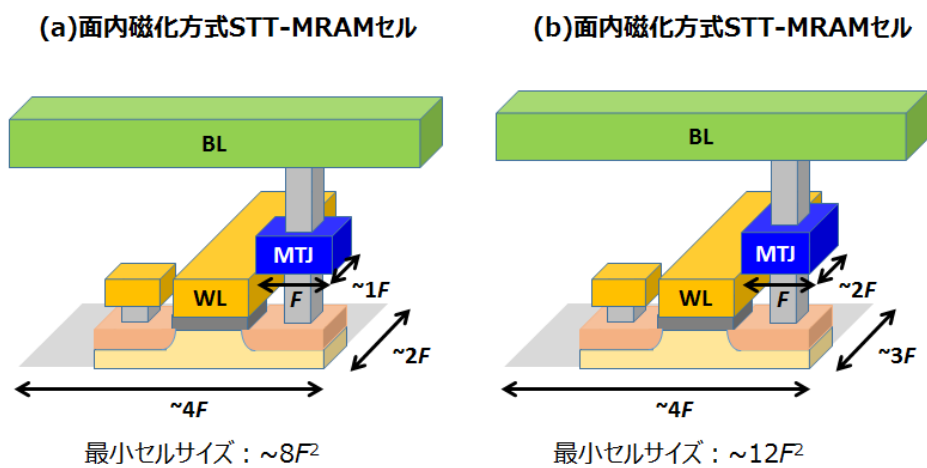


Fig.2-14 STT-MRAM セル構造の比較. (a)垂直磁化方式, (b)面内磁化方式.

Fig.2-15 には垂直磁化方式を適用した場合の STT 磁化反転電流の特性長依存性の模式図を示した．上述してきたように垂直磁化方式の MTJ を採用することにより，面内磁化方式と比べて，下記の2つの利点が存在する．

- (1) 高 STT 磁化反転効率 $I_c/\Delta E$
- (2) MTJ 素子面積の低減 ($2F^2 \rightarrow F^2$)

上記の2つの利点により Fig.2-15 に示したように，垂直磁化方式では2段階の STT 磁化反転電流の低減が見込まれる．単純には同じ STT 磁化反転電流密度であっても面内磁化方式から垂直磁化方式に移行しただけで，STT 磁化反転電流は約 1/2 となり，デバイス設計の観点からはインパクトが大きい．このような背景から，上述したように，Mangin ら[101]と Yoda ら[103]により提案された垂直磁化方式は高密度 STT-MRAM を実現するためには必須技術と認識されるようになった．従って，DRAM 置き換えを目指すスケラブルな STT-MRAM を実現させるには，垂直磁化方式の導入による STT 磁化反転における低電流化，および、MTJ 素子サイズの低減は不可欠である．

本章では，面内磁化 MTJ に関する STT 磁化反転の磁気相図 H - I 曲線の検証し，面内磁化方式の問題点を議論した．本章の結論が，本研究の全体の指針となっている．面内磁化方式から垂直磁化方式への開発方針の変更はユニバーサルな STT-MRAM 開発を進めるためには必然である．

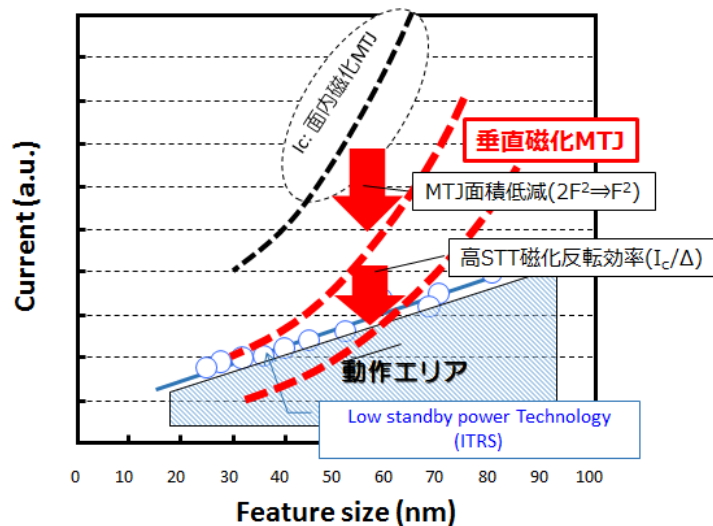


Fig.2-15 垂直磁化方式適用時に予想される STT 磁化反転電流低減を示した模式図．

2.5 小括

本章は以下のように小括される．

面内磁化 STT 磁化反転の課題を抽出するために，下記に示した所望の特性を有する面内磁化 CoFeB/MgO/CoFeB-MTJ を作製に成功した．

- ・ MTJ 形状：106 nm × 169 nm 楕円形状
- ・ 電気特性： $RA = 10 \Omega\mu\text{m}^2$ ， $\text{TMR} = 140 \%$
- ・ 磁気特性： $H_c = 41 \text{ Oe}$ ， $H_{\text{shift}} = 2.4 \text{ O}$
- ・ STT 磁化反転特性： $I_c^{\text{AP-to-P}} = 0.56 \text{ mA}$ ， $I_c^{\text{P-to-AP}} = 0.76 \text{ mA}$
- ・ 記憶層熱安定性エネルギー： $\Delta E^{\text{AP-to-P}} = 48 k_B T$ ， $\Delta E^{\text{P-to-AP}} = 50 k_B T$

上記の特性を有する面内磁化 MTJ 素子を用いて，面内磁化方式の STT 磁化反転挙動を詳細に調べた．その結果，以下のことが明らかとなった．

1. 面内磁化 CoFeB/MgO/CoFeB-MTJ 素子のバイアス R - H 曲線を取得し，正負バイアスで非対称な記憶層の H_c と H_{shift} 挙動を観測した．
2. 面内磁化 CoFeB/MgO/CoFeB-MTJ 素子の H - I 曲線を解析した結果，負バイアス側の第 4 象限で見られる P-to-AP 磁化反転磁界の急激な低下の影響で，AP-to-P 側 STT 磁化反転において，AP-to-P 磁化反転後に P-to-AP へ逆反転する現象である Back-hopping が発生し得ることを予測した．この Back-hopping により AP-to-P 側 STT 書き込み時の電圧が制約され，STT-MRAM のデバイス書き込みマージンが低下することを予測した．
3. STT 磁化反転時の通電により発生するジュール熱の影響解析から，AP-to-P の STT 磁化反転 (H - I 曲線の第 3 象限) と P-to-AP の STT 磁化反転 (H - I 曲線の第 1 象限) は，ジュール熱の影響を受けており，ジュール熱の影響はそれぞれの STT 磁化反転直前の状態の AP 状態および P 状態の抵抗値の違いで説明できることが分かった．
4. 一斉磁化反転モデルを基にした磁化反転エネルギーを解析的に検証した結果，STT 磁化反転電流の低減の観点では，面内磁化方式より垂直磁化方式が原理的に優位であることが分かった．また，MTJ 素子サイズ縮小とそれに伴う STT 磁化反電流の低減の観点からも垂直磁化方式が優位であり，垂直磁化方式がスケーリング性に優れていることが分かった．

第3章 L1₀-FePt を用いた垂直磁化 MTJ の高 TMR 化

3.1 はじめに

第1章で述べたように、MTJ による TMR は Julliere らにより初めて 4.2K で観測された[12]。その後、Miyazaki ら[13]と Moodera ら[14]により Al-O バリア層を用いた MTJ の室温 TMR が観測されると、MTJ の高 TMR 化開発は加速した。近年では、MgO(001)バリア層を用いた MTJ での巨大 TMR が理論的に予測され[21][22]、100 %を超える巨大な TMR が観測され[23][24]、TMR 競争が激しくなっていた。しかしながら、Pseudo-MTJ 構造で 600 %を超える TMR が観測されたこと[46]により、面内磁化 MTJ の高 TMR 化開発競争は一段落している。

一方、垂直磁化 MTJ の室温 TMR 報告は、2002 年の Nishimura らによる Al-O バリア層を用いた MTJ での室温 TMR 報告[106]が最初である。Table 3-1 にこれまでの垂直磁化 MTJ での主な室温 TMR 報告例を示した[106][107][108][109]。Nishimura らは Co 系多層膜と fcc-CoFe(111)から構成される磁性電極層と Al-O バリア層からなる MTJ を用いて、室温 TMR ~55 %を観測した。面内磁化 Al-O-MTJ で観測された最大 TMR が 81%であることを考えると、最初の結果としては面内磁化 MTJ と比べても遜色のないものであった。垂直磁化 MTJ で面内磁化 MTJ と同等の高 TMR が観測された意義は大きく、その後の垂直磁化 MTJ の高 TMR 化開発を加速することになった。しかしながら、Nishimura らの報告以降、垂直磁化の高 TMR 化はなかなか進まず、面内磁化 MTJ と比べて順風満帆ではなかった。

MgO(001)バリア層を用いた垂直磁化 MTJ の室温 TMR の報告は、2008 年の Nakayama ら[107]による TbCoFeB/CoFeB/MgO/CoFeB/TbCoFe-MTJ の TMR の報告が初めてである。Nakayama らは磁性電極層に耐熱性の低い amorphous-TbCoFe を用いたため、成膜後に amorphous-CoFeB 結晶化のためのアニールを施すことができず、CoFeB 界面層はアモルファス相のまま用いられた。その結果、室温 TMR は 15 %という低い数値に留まった。続いて、Nagase ら[108]により磁性電極層に Co 系多層膜と L1₀-FePt 膜を用い、amorphous-CoFeB 界面層を用いた[Co/X] multilayer/CoFeB/MgO/CoFeB/L1₀-FePt(001)での TMR が報告された。室温 TMR の測定結果は 68 %に留まり、MgO-MTJ 特有の Δ_1 バンドのコヒーレントトンネル起因の 100 %を越える室温 TMR は観測されなかった。Nagase らの報告では、磁性層の耐熱性の問題により低温でのアニールしか実施できず、高い TMR が得られなかったものと考えられる。記憶層と参照層の垂直磁気特性はアニール

による amorphous-CoFeB 界面層と垂直磁化電極層間の相互拡散の影響で劣化しやすい。そのため、拡散を防止するための低温アニールでは amorphous-CoFeB の結晶化が十分に進まなかったことが要因と考えられる。上述した結果から、amorphous-CoFeB 界面層と MgO バリア層を用いた垂直磁化 MTJ では、amorphous-CoFeB 結晶化の高温アニールが高 TMR 化には必要であることが分かる。amorphous-CoFeB と MgO バリア層を用いた面内磁化 MTJ では、通常、350~400 °C で 2 時間程度のアニールが標準的に用いられている。また、amorphous-CoFeB の結晶化の制御も重要である。MgO(001) 界面側から amorphous-CoFeB の結晶化を進行させ、エピタキシャルな MgO(001)/CoFeB(001) 結晶方位関係が得られなければ、MgO-MTJ 特有の Δ_1 バンド起因の高い TMR は得られないことが一般的に知られている。一方で、垂直磁化 MTJ では、長時間のアニール後も垂直磁気特性も維持しなければならない。上述してきたように、amorphous-CoFeB 界面層を用いた垂直磁化 MTJ 膜では、2 時間程度の amorphous-CoFeB 結晶化アニールが高 TMR を得るためには必要である。しかしながら、その 2 時間程度の長時間アニールにより CoFeB 層と磁性電極層間の相互拡散が進行し垂直磁気異方性が劣化するというジレンマを抱えていた。

本章では、上述したジレンマを解決するため、MgO(001) バリア層を有する垂直磁化 MTJ の高 TMR 化を検証する。垂直磁化 MTJ の記憶層熱安定性のスケーリング性を考慮し、 1×10^7 erg/cc を超える高い結晶磁気異方性 K_u を有し、耐熱性が高い L1₀-FePt を磁性電極層に用いた MTJ 膜を作製する。さらに、結晶相からなる界面層挿入し、高温短時間アニールを実施することで、100 % を超える高い TMR を有する垂直磁化 MTJ の形成に世界で初めて成功した結果を示す。

Table 3-1 垂直磁化 MTJ の TMR 開発の歴史[1-4].

Al-O-MTJ		MgO-MTJ	
N. Nishimura <i>et al.</i>	J.H. Park <i>et al.</i>	M. Nakayama <i>et al.</i>	T. Nagase <i>et al.</i>
2002年	2008年	2008年	2008年
J. Appl. Phys. 91, 5246 (2002)	J. Appl. Phys. 103, 07A917 (2008)	J. Appl. Phys. 103, 07A710 (2008)	2008 APS March meeting
TbFeCo/CoFe/Al-O/ CoFe/GdFeCo/UL //sub.	[Pt/Co] ₂ /Al-O/Co/ [Co/Pt] ₄ /Pt/UL//sub.	TbCoFe/CoFeB/ MgO/CoFeB/ TbCoFe/UL//sub.	Co base multilayer/ CoFeB/MgO/CoFeB /FePt/Pt/Cr/ UL//sub.
TMR ~ 55 %	TMR ~ 15 %	TMR ~ 15 %	TMR ~ 60 %

3.2 高結晶磁気異方性 L1₀-FePt 磁性電極材料の選択

垂直磁化膜の研究開発の歴史は古く、HDD 用媒体材料やモーター用磁石材料として幅広い研究開発が進められてきた[110][111]. Fig.3-1 にそれぞれの高結晶磁気異方性磁性材料の結晶磁気異方性 K_u と飽和磁化 M_s の関係図を示した[110]. Fig.3-1 から分かるように垂直磁化 MTJ の垂直磁化電極膜の候補としては、CoPt 合金膜、Co/Pt 多層膜、Co/Pd 多層膜、CoSm 膜などの Co 基材料と、FePt 膜、FePd 膜などの Fe 基材料、MnAl 合金膜などの Mn 基材料に分類される. 磁性元素として、Fe, Co は強磁性元素であり、Mn は反強磁性元素である. 従って、Fe を用いた材料は飽和磁化 M_s が大きく、Mn を用いた材料は飽和磁化 M_s が小さい.

Table 3-2 に垂直磁化 MTJ の磁性電極材料として有望な高 K_u 材料の K_u と M_s を示した. Fe 基材料は Fe の結晶構造を反映し立方晶と正方晶の構造が多い. 一方、Co 基材料では六方細密構造が多い. 本研究では、垂直磁化 MTJ の熱安定性とスケーリング性の確保、MgO(001)バリア層との結晶格子の整合性、さらに磁化配列を考慮し、L1₀-FePt 膜を選択した.

L1₀規則合金は、 $1 \times 10^7 \text{ erg/cm}^3$ を超える高い K_u を有している. 中でも L1₀-FePt 合金は最も大きな $K_u > 5 \times 10^7 \text{ erg/cc}$ を有している. 垂直磁化 MTJ の磁性電極層の熱安定性とスケーリング性のためには十分である.

次に、L1₀-FePt の結晶構造と磁化配列について説明する. Fig.3-2(a)に L1₀-FePt 合金の結晶構造の模式図を示した. L1₀-FePt は面心正方晶 (face centered tetragonal : fct) 構造である. a 軸 $a = 0.385 \text{ nm}$ [112]であり、 a/c 軸比が 1 以下となる fct 構造を有する. また、L1₀-FePt 合金は Fig.3-2(a)に示したように[001]方向に Fe と Pt が一層毎に交互積層する L1₀材料特有の積層構造を持つ. また、Fig.3-2(b)に示したように、(001)面に垂直な[001]方向の磁化配列を有し、[001]が容易磁化方向である. 従って、(001)配向した L1₀-FePt 膜を形成することにより、垂直磁化特性を有する L1₀-FePt(001)膜を得ることができる. Fig.3-2(c)から NaCl 構造を有する MgO 膜と L1₀-FePt 膜は、(001)配向し、かつ、それぞれの[100]方向が平行の場合、良好な格子関係であることが分かる.

次に L1₀-FePt 合金のスピン分極率と MTJ の磁性電極材料として用いた場合の TMR のポテンシャルについて説明する. L1₀-FePt の電子構造については、Sakuma ら[113][114]により詳細に報告されている. Sakuma らによる第一原理計算結果から、0 K での L1₀-FePt のスピン分極率 P は $P \sim 0.74$ が示されている. この分極率 P を Julliere の式(1-1)に適用して TMR を算出すると、 $\text{TMR} \sim 220 \%$ という大きな TMR が予測されることになる. 従って、L1₀-FePt を用いた MTJ は高 TMR という観点から見ると、非常に高いポテンシャルを有すると考えられ、魅力的な材料である.

上述したように L1₀-FePt(001)膜は高 K_u な垂直磁化膜であり、MgO(001)バリア層との結晶配向性および格子整合性が良く、さらには高スピン分極率を有しており、MTJ の磁

性電極材料としては高いポテンシャルを有していることが分かる．しかしながら，L1₀-FePt を磁性電極に用いた MTJ において，これまでに高い TMR が観測された報告はない．この要因としては，L1₀-FePt(001)と MgO(001)の間に 8.6 %の大きな格子ミスフィットが存在し，整合界面が形成できないことが理由として挙げられてきた．次節では，この問題を解決し，L1₀-FePt を用いた MgO-MTJ で高 TMR を得るためのコンセプトを示す．

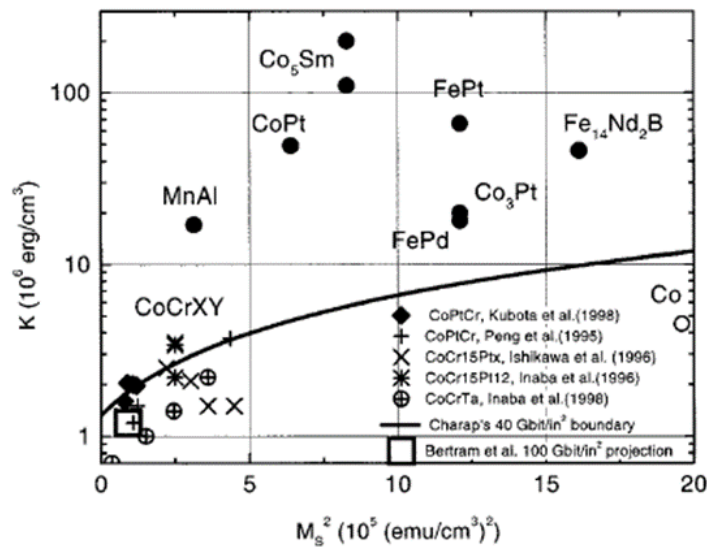


Fig.3-1 一軸磁気異方性材料の M_s と K_u の関係[110].

Table 3-2 一軸磁気異方性材料の K_u と M_s の一覧[110][111].

Alloy system and Material	K_u (erg/cm ³)	M_s (emu/cm ³)
L1 ₀ -FePt	6.6-10	1140
L1 ₀ -FePd	1.8	1100
L1 ₀ -CoPt	4.9	800
L1 ₀ -MnAl	1.7	560
CoCrPt	0.20	298
SmCo ₅	11-20	910
Fe ₁₄ Nd ₂ B	4.6	1270

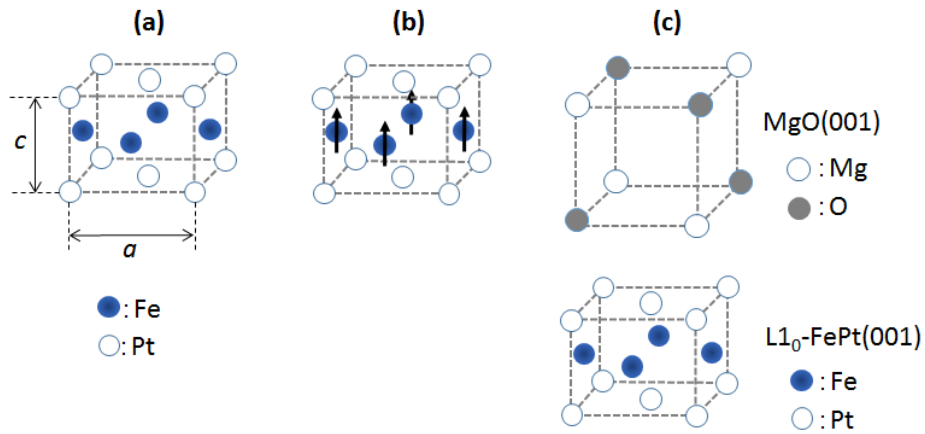


Fig.3-2 (a) L1₀-FePt の結晶構造, (b) L1₀-FePt の磁化配列, (c) MgO(001)と L1₀-FePt(001)の結晶構造の関係.

3.3 L1₀-FePt(001)を用いた MgO-MTJ 膜の高 TMR 化コンセプト

本節では、L1₀-FePt(001)を用いた MgO-MTJ で高 TMR を得るためコンセプトを説明する。下記では、L1₀-FePt(001)を用いた MgO-MTJ で高 TMR を得るために解決しなければならない3つの大きな課題を提起し、それぞれの課題を解決するために考案したコンセプトを説明する。

まず、L1₀-FePt を用いた MgO-MTJ 膜における最大の課題である MgO(001)と L1₀-FePt(001)の格子ミスマッチについて説明する。Fig.3-3 に L1₀-FePt(001)と MgO(001)の界面における結晶方位関係と格子ミスマッチの模式図を示した。Fig.3-3 では (001)配向した L1₀-FePt(001)上に MgO(001)を結晶成長させる場合を想定した。L1₀-FePt と MgO の格子定数 a はそれぞれ 0.385 nm, 0.421 nm である。MgO(001)/L1₀-FePt(001)界面で生じる格子ミスフィットは 8.6 %となる。格子ミスフィット算出時には、下地層となる L1₀-FePt の格子定数は変化せず、上部に形成される MgO 層が下地層に格子整合するように格子定数が変化すると仮定した。一般的に、格子定数が小さな下地層上に、格子定数が下地層より大きな薄膜をエピタキシャルに成長させることは難しい。下地層上に形成される薄膜は格子ミスフィットを緩和し下地層との界面エネルギーを最小化するために、界面転位の導入を伴いながら薄膜成長する。特に、金属膜上での結晶性酸化物セラミクス膜の成長の場合、格子ミスフィットが大きいと、結晶性酸化物セラミクスは金属に比べて弾性が低い物質であるため、エピタキシャルな結晶成長が困難となる。L1₀-FePt(001)膜上への MgO(001)膜の成長は前述したものに該当する。MgO バリア層を用いた MTJ において、高 TMR 化のための界面格子整合の重要性は Yuasa ら[23]により報告されている。Yuasa らによる Fe(001)/MgO(001)/Fe(001)-MTJ に関する報告では、界面転位導入が TMR 低下要因の一つであることが示唆されている。従って、MgO(001)/L1₀-FePt(001)-MTJ で高 TMR を得るためには、MgO(001)と L1₀-FePt(001)の格子ミスフィットをいかに緩和し、転位導入を抑制することができかが課題となる。

次に、MgO 界面での Fe 優先界面形成の課題について説明する。既に述べたように L1₀-FePt(001)は結晶構造的に[001]方向において Fe/Pt/Fe/Pt/...の Fe 層と Pt 層の一層毎の交互積層 (Fig.3-2(a)) を有する。人工格子的な考えに基づいた場合、MgO バリア層に Fe 層が接する場合と Pt 層が接する場合で界面スピン分極率が異なることが考えられ、その結果 TMR が変化することが予想される。すなわち、Fe 層が MgO との界面の第 1 層になる場合は、大きな TMR が期待できる。一方、界面第 1 層に Pt が来た場合は、Pt は非磁性層であるため、界面での分極率は大きく低下すると予想され、大きな TMR は期待できない (Fig.3-4) 。これを裏付けるものとして、Yuasa らは Al-O バリア層と磁性電極層との界面に非磁性層を挿入した場合の TMR の劣化について報告してい

る[115]. Yuasa らの報告では, 1 原子層程度の非磁性層挿入でも急激な TMR の減少が観測されている. ここで L1₀-FePt(001)が Fe と Pt の交互積層からなる人工格子膜である (人工格子モデル) と考え, MgO/L1₀-FePt 界面を考える. MgO 界面に Pt 層が接している場合, すなわち, Pt 優先界面が形成された場合は, 上述した MgO バリア層と磁性電極層との界面に Pt 一原子層を挿入した場合と同等になると考えることができ, 高い TMR は得られないことになる. すなわち, MgO 界面における Fe 優先界面形成が高 TMR を得るためには重要であると考えられる. このモデルに従うならば, Fe 優先界面をいかに形成するかが, L1₀-FePt を用いた MgO-MTJ では鍵となり, Pt 優先界面形成の抑制が課題となる. 他方, L1₀-FePt を合金として捉える場合, MgO との界面を形成する L1₀-FePt 磁性電極層は Fe あるいは Pt 優先界面に寄らず合金としての電子状態を有し, L1₀-FePt 自身の特性を発揮する (合金モデル) と考えることもできる. この考え方に基づいた場合は, Sakuma ら[113][114]により示されたような大きなスピン分極率 ($P = 0.74$) 起因の高い TMR を発現する可能性があるということになる.

次に, 3.1 節でも述べた MTJ 形成後のアニールによる磁性電極層の磁気特性劣化の課題について説明する. MgO バリア層を用いた面内磁化 MTJ の TMR 観測結果の報告から, 高 TMR を得るためには CoFeB/MgO/CoFeB 積層が必要であり, amorphous-CoFeB 界面層の MgO 界面側からの結晶化が必須である. この場合, amorphous-CoFeB 層の結晶化のため, 結晶化温度 (350 ~ 400 °C) 以上で 2 時間程度の長時間アニールが必要となる. 本研究では, 磁性電極層に L1₀-FePt 層を用いるが, 高 TMR を得るために MgO(001)/L1₀-FePt(001)界面に amorphous-CoFeB 層を挿入する MTJ 積層構造が考えられる. この考え方は, 既に述べたように Nagase らによっても検証されている[108]. Fig.3-5 に L1₀-FePt 電極層を用いた MTJ に amorphous-CoFeB 界面層を適用した場合, 成膜直後と CoFeB 結晶化アニール後に予想される参照層の磁化状態と相互拡散状態, 記憶層の磁化状態の模式図を示した. Fig.3-5(a)では基板加熱成膜された参照層 L1₀-FePt(001)は垂直磁化を示し, amorphous-CoFeB 層も L1₀-FePt 層と交換結合することにより垂直磁化を示す. 記憶層 FePt(001)は室温形成されるため規則化していないため面内磁化を示す. この後 amorphous-CoFeB 層結晶化アニールを実施することにより, Fig.3-5(b)に示したように記憶層の L1₀-FePt は規則化が促進され垂直磁化となる. しかしながら, amorphous-CoFeB 界面層と L1₀-FePt 参照層との間の相互拡散が進行することにより, L1₀-FePt 参照層内の組成のずれが生じる. L1₀-FePt 参照層では L1₀構造が乱れ, 規則度が低下することにより, 垂直磁気特性の劣化が生じる. 垂直磁気特性の劣化は, 参照層と記憶層の磁性電極間の磁化平行状態と磁化反平行状態の形成を不完全にするため, TMR の低下を引き起こす. 本研究では磁性電極層に高温基板成膜で形成した結晶構造的に熱安定な L1₀-FePt を用いるので, 参照層内の拡散を抑制できれば, CoFeB 結晶化アニールによる L1₀-FePt 層自身の垂直磁化特性の劣化は小さいと考えられる. しかしながら, amorphous-CoFeB 結晶化アニールによる CoFeB 界面層と L1₀-FePt 磁性電極層との相互拡散の抑制

は困難である。なぜなら、Co, Fe, Pt は全率固溶である 3 元合金を形成する系であり、容易に相互拡散すると考えられ、かつ、amorphous-CoFeB は準安定なアモルファス相であるからである。従って、高 TMR 化のために CoFeB のような界面層を使う場合は、界面層と垂直磁化参照層との相互拡散を抑制し、垂直磁気特性の劣化を抑制することが課題となる。また、CoFeB 結晶化アニールのような 2 時間程度の長時間アニールは、L1₀-FePt 参照層の結晶成長を促す。L1₀-FePt 層の結晶成長は配向分散の増大を招くため、垂直磁気異方性分散を増大させる。その結果、L1₀-FePt 参照層の垂直磁気特性劣化を招く可能性がある。

一方、L1₀-FePt 記憶層に着目すると、FePt 記憶層の L1₀ 規則度向上には適度なアニールは必要である。従って、本研究の L1₀-FePt 層を磁性電極に用いた MgO-MTJ の場合には、記憶層 FePt の L1₀ 規則化促進と参照層内の界面層と垂直磁化 L1₀-FePt 磁性電極層との相互拡散の両立について考慮する必要があるが、これらは背反的な関係にある。

上述してきたように、MgO(001)と L1₀-FePt(001)の界面での格子ミスフィットの緩和、Fe 優先界面を有する L1₀-FePt(001)の形成、界面層と L1₀-FePt(001)磁性電極層の相互拡散を抑制による参照層垂直磁気特性の維持が、L1₀-FePt を用いた MTJ で高 TMR を得るための 3 つの大きな課題となる。

これらの課題を解決するために、本研究では下記の 2 つのコンセプトを構築した。

- (1) bcc-Fe(001)界面層挿入
- (2) 高温短時間アニール

以下で、それぞれのコンセプトの上記の 3 つの課題に対する効果について述べる。

まず、bcc-Fe(001)界面層挿入の効果について説明する。Fig.3-6 に bcc-Fe(001)界面層挿入時の結晶場合の結晶方位関係と格子ミスフィットを模式図で示した。L1₀-FePt(001)上に bcc-Fe(001)を形成し、その上に MgO(001)をエピタキシャルな関係で成長させる場合、bcc-Fe(001)界面層と MgO(001)および L1₀-FePt(001)との結晶方位関係が最も格子ミスフィットが小さくなり、結晶的に最も安定な関係は下記となる。

$$\begin{aligned} & \text{L1}_0\text{-FePt(001)} // \text{bcc-Fe(001)} // \text{MgO(001)} \\ & \text{L1}_0\text{-FePt[110]} // \text{bcc-Fe[100]} // \text{MgO[110]} \end{aligned}$$

L1₀-FePt と bcc-Fe の格子定数は、それぞれ 0.385 nm, 0.287 nm であり、上記の結晶方位関係を満たす場合の格子ミスフィットは 4.9 % である。一方、MgO(001)と bcc-Fe(001)の格子ミスフィットは 3.8 % となる。L1₀-FePt(001)上の MgO(001)の形成場合には格子ミスフィット 8.6 %が見積もられたが大きく緩和されることが分かる。L1₀-FePt(001)上の bcc-Fe(001)はエピタキシャルな関係を維持しながら成長すると予想される。bcc-Fe(001)層は

薄膜成長の初期段階では大きな格子歪を抱えながら bct 構造的な結晶で成長し、膜厚が増えるに従い内部の格子歪を緩和しながら、徐々に bcc 構造に近づきながら薄膜成長する。Fe(001)/L1₀-FePt(001)界面での格子ミスフィット 4.9%が緩和し、bcc-Fe 本来の格子定数 $a = 0.287 \text{ nm}$ に戻るまでには、ある程度の膜厚を有する bcc-Fe(001)が必要になる。ここが bcc-Fe(001)上に MgO(001)エピタキシャルに形成するためのポイントとなる。一方、bcc-Fe(001)界面層の垂直磁気特性にも配慮しなければならない。なぜなら、bcc-Fe(001)界面層が厚くなりすぎると、bcc-Fe(001)は L1₀-FePt(001)とは交換結合してはいるものの、垂直磁気特性は劣化していくからである。このように bcc-Fe(001)界面層の膜厚と MgO(001)のエピタキシャル成長の間には、相反関係がある。

次に、Fe 優先界面形成の観点で、bcc-Fe(001)界面層挿入効果を考える。Fe 挿入することで、成膜直後において L1₀-FePt(001)表面の Pt 優先表面の形成確率は低下することが予測できる。理想に近い Fe 優先界面が MgO(001)/L1₀-FePt(001)界面で形成される。しかしながら、成膜直後に形成される Fe 優先界面は、次に述べる記憶層規則化のためのアニールによる拡散の影響により乱されることになる。すなわち、bcc-Fe(001)層と L1₀-FePt 磁性電極層との相互拡散も重要な因子となる。どのようなアニール条件が Fe 界面維持にとって最適なのかを考える必要がある。

次に、上述した MTJ 形成後の高温短時間アニールの効果について述べる。bcc-Fe(001)を MgO(001)と L1₀-FePt(001)の間に挿入する場合、CoFeB 界面層適用時のような CoFeB 結晶化は考慮する必要がなくなる。しかしながら、本研究では記憶層に室温形成される FePt 層を用いるため、FePt 記憶層の L1₀規則化促進に配慮する必要がある。規則化が進まないと FePt 記憶層は垂直磁化を示さない。A1 (face centered cubic : fcc) 構造を有する不規則構造の FePt 合金が、L1₀規則構造に変態する場合、一般的には 400 °C 程度のアニールが必要であることが知られている。これは一般的な MTJ のアニール温度が 350~400 °C であることに比べると、高温なアニール条件である。L1₀-FePt の A1 構造から L1₀規則構造への構造変態はマルテンサイト変態であり、体積変化を伴う 1 次相転移である。A1 構造から L1₀構造への相変態の場合、L1₀相の核生成と核成長で相変態は進行する。高温アニールの場合、短時間でも L1₀-FePt 規則相核は十分に形成され则认为られる。アニール時間が長くなると、L1₀-FePt 規則相核は成長し、双晶 (バリエント) や異なる結晶方位の L1₀規則相が形成されやすくなる。この結果、(001)配向した垂直磁化 L1₀-FePt 膜として考えた場合、[001]方向の垂直磁気異方性分散が増大し、容易軸方向の飽和磁界が増大する懸念があり、参照層と記憶層の保磁力差が得られにくくなる。従って、L1₀結晶核が小さい方が L1₀-FePt(001)記憶層としては良好な垂直磁気特性が得られると予測した。

次に、bcc-Fe(001)界面層と L1₀-FePt 参照層の相互拡散について考える。一般的に、隣接する異なる材料間の相互拡散は拡散係数と時間 t に依存する。拡散係数は各温度により決定される係数である。また、相互拡散の拡散距離は一般的に時間 t に対して \sqrt{t} に比

例関係となる. bcc-Fe(001)/L1₀-FePt(001)界面を考えた場合, 先ほども述べたように Fe と Pt は全率固溶体であり, 置換型で拡散が進む. 各層の安定性を考えた場合, bcc-Fe 相と L1₀-FePt 相は相図的には共に安定相である. 従って, Fe(001)/L1₀-FePt(001)界面における拡散の活性化エネルギーは高く, 相互拡散速度も遅くなると考えた. 前述した amorphous-CoFeB 界面層を用いる場合, amorphous-CoFeB は準安定相であり, 拡散の活性化エネルギーが小さいため容易に原子拡散が生じる. さらに amorphous-CoFeB 結晶化時には B は浸入型型拡散原子であるため, アニール時に L1₀-FePt へ浸入型拡散し, L1₀-FePt を不安定化する可能性がある. 従って, 高温でも短時間アニールであれば, Fe(001)/L1₀-FePt(001)界面での相互拡散は垂直磁気特性を劣化させるほどには進行せず, 制御できると考えた. 以上の考え方にに基づき, 従来の長時間アニールの概念から高温で短時間アニールの概念に切り替えた. これにより, FePt 記憶層の L1₀ 規則化を促進し, 参照層の Fe 層と L1₀-FePt 層の相互拡散を抑制するという背反的な現象を解決できると考えた.

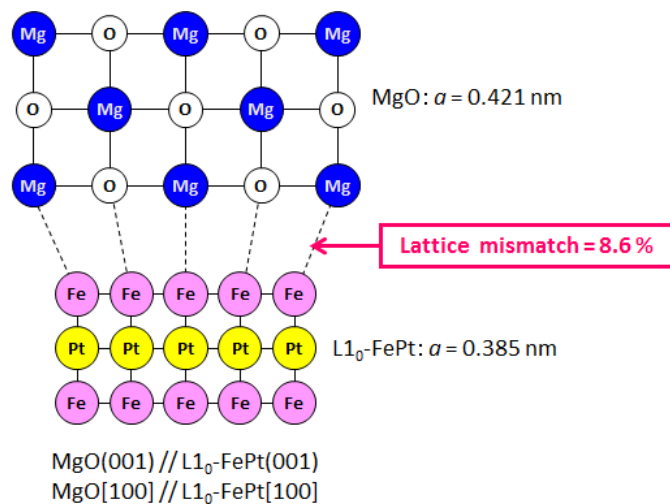


Fig.3-3 MgO(001)/L1₀-FePt(001)積層の MgO(001)/L1₀-FePt(001)界面での格子ミスマッチを表した模式図.

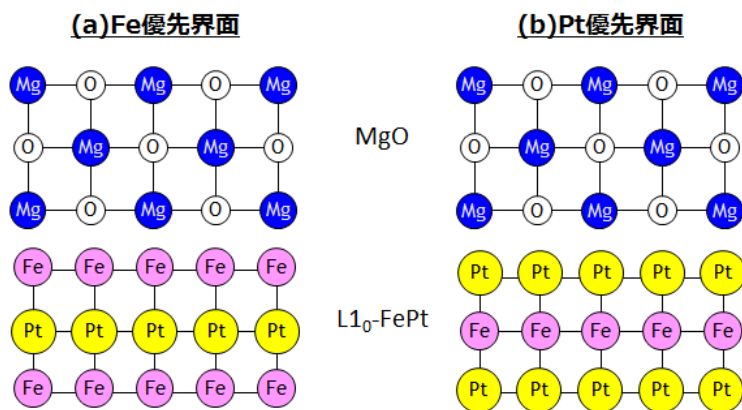


Fig.3-4 MgO(001)/L1₀-FePt(001)参照層界面付近の原子配列を表した模式図. (a) Fe 優先界面形成, (b) Pt 優先界面形成.

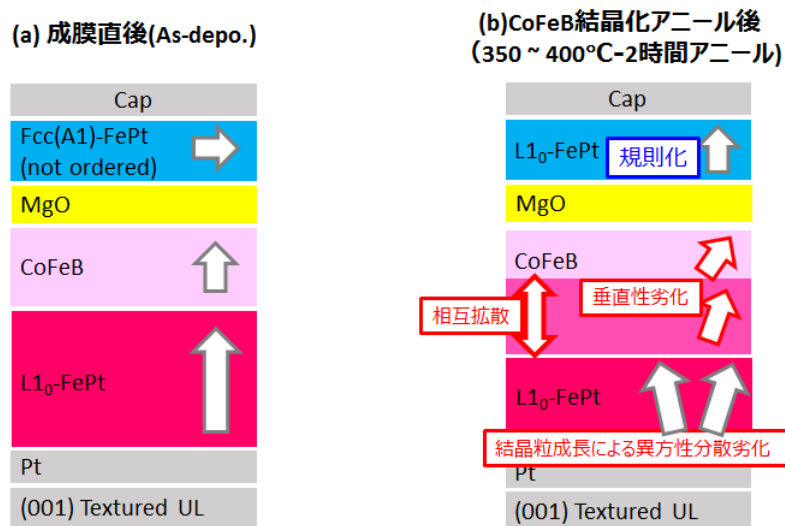


Fig.3-5 CoFeB/ $L1_0$ -FePt 参照層を用いた場合の成膜直後(a)と CoFeB 結晶化アニール後(b)の磁化状態と拡散状態を表した模式図.

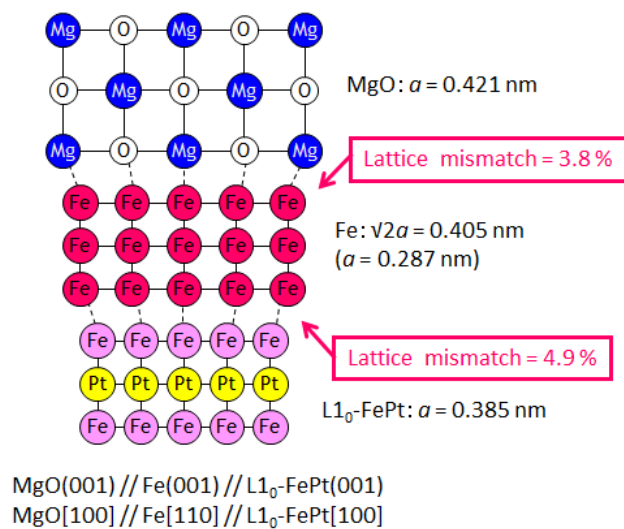


Fig.3-6 MgO(001)/bcc-Fe(001)/ $L1_0$ -FePt(001)積層部分の MgO(001)/bcc-Fe(001)界面および bcc-Fe(001)/ $L1_0$ -FePt(001)界面での格子ミスマッチを表した模式図.

3.4 実験方法

垂直磁化を有する L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ の形成方法について説明する。L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ は、超高真空 DC/RF マグネトロンスパッタ法により成膜した。成膜チャンバーの背圧は 1×10^{-9} Torr 以下の超高真空である。Fig.3-7 に本検証の L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の積層構造の模式図を示した。本垂直磁化 MTJ 膜は Cap 層/L1₀-FePt 3.0 nm/MgO/Mg 0.4 nm/Fe 2.0 nm/L1₀-FePt 10.0 nm/Pt 3.0 nm/(001)配向多結晶下地層から構成され、熱酸化 Si(001)基板上に形成される。まず、高(001)配向した多結晶下地層を熱酸化 Si 基板上にまず形成し、その上にバッファ層として(001)配向した Pt(001) 3.0 nm を 400 °C 基板加熱成膜で形成する。その後、400 °C 基板加熱成膜で L1₀-FePt(001)を Pt(001)バッファ層上に形成する。L1₀-FePt(001)膜は FeB と Pt の同時スパッタ法により形成される。FeB ターゲットの B の添加量は、10~20 at% の範囲で最適化された組成を用いた。その後、基板冷却を行い、室温で bcc-Fe(001)界面層を形成し、続けて MgO(001)バリア層を形成した。この時、MgO と Fe の間には界面酸化制御のために Mg を 0.4 nm 挿入した。次に、記憶層となる FePt 膜を室温で MgO(001)上に形成した。FePt 記憶層は Fe と Pt の積層で形成される。その後、キャップ層を成膜した。上記の成膜終了後、真空中アニールを施すことにより FePt 記憶層の L1₀ 規則合金化を行った。成膜後のアニールは、400 °C -2 時間と 500 °C 短時間（数分以内）の 2 つの温度条件で行なった。500 °C アニールの場合、アニール時間は数分以内で最適化した条件を用いた。FePt 記憶層は、アニール前は規則化しておらず、A1 構造（fcc 構造）である。従って、面内磁化膜であり、成膜後のアニールにより L1₀-FePt 規則相を形成し、垂直磁化膜となる。

次に各評価方法について説明する。L1₀-FePt を用いた MgO-MTJ 膜の磁気特性は振動試料型磁力計（Vibrating Sampling Magnetometer : VSM）により評価した。VSM 評価時は、膜面に垂直な方向に磁化を印加した。MTJ 膜の TMR 評価には、MTJ 膜で面直通電時の TMR が評価できる 12 短針を用いた面内電流トンネル法[83]（Current In-Plane Tunneling : CIPT）を用いた。本研究では、垂直磁化 MTJ 膜用の CIPT 装置が世の中に存在しなかったため、本検証では面内磁化 MTJ 膜の用の CIPT 装置での抵抗測定と VSM による平行・反平行の磁化状態形成を組み合わせることで TMR の評価を行った。Fig.3-8 に今回の TMR 評価の詳細なステップを示した。L1₀-FePt を用いた MgO-MTJ 膜の結晶構造解析では、試料の面直および面内方向の結晶構造は X 線回折（X-Ray Diffraction : XRD）により評価した。さらに、断面構造形態は高分解能電子顕微鏡観察（High-Resolution Transmission Electron Microscopy : HR-TEM）により評価した。

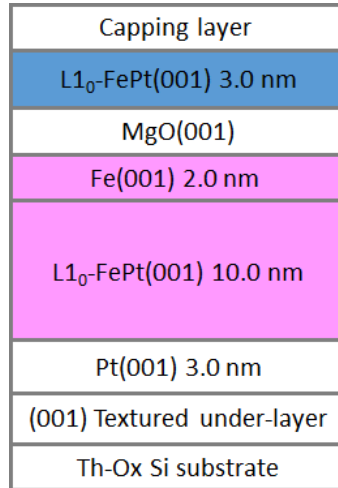


Fig.3-7 L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜の積層構造の模式図.

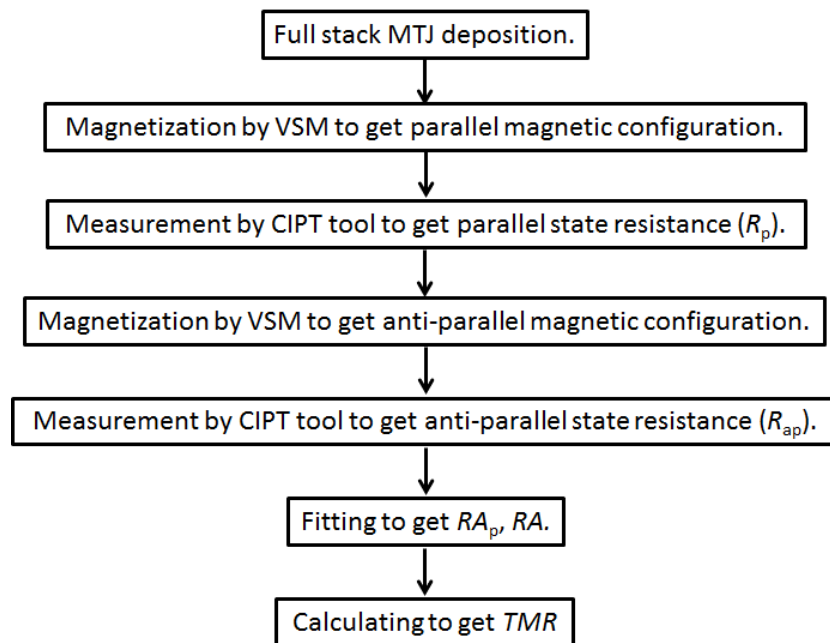


Fig.3-8 垂直磁化 MTJ における TMR の CIPT 測定の手続きと各ステップ.

3.5 結果と考察

3.5.1 L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の結晶構造

L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の断面 TEM 観察を行った．Fig.3-9 に断面 HR-TEM 写真と TEM 像の高速フーリエ変換（Fast Fourier Transform：FFT）処理から得られた Fe 界面層と L1₀-FePt 参照層のエピタキシャル的に成長したある結晶粒ポイントでの膜厚方向のそれぞれの層の電子線回折像を示した．HR-TEM 像から平滑な Fe 界面層と平滑な MgO バリア層が観察されている．MgO バリア層は(001)面の格子像がクリアに観察されており，4~5 原子層の MgO バリア層から構成されていることが分かる．FFT で得られた局所的電子回折像から，記憶層 L1₀-FePt(001)，MgO(001)バリア層，界面層 bcc-Fe(001)，参照層 L1₀-FePt(001)の[001]方位はほぼ一致している．電子回折像のパターン解析から，下記の方角関係であることが分かった．

$$\text{L1}_0\text{-FePt}(001) // \text{MgO}(001) // \text{Fe}(001) // \text{L1}_0\text{-FePt}(001)$$

$$\text{L1}_0\text{-FePt}[100] // \text{MgO}[100] // \text{Fe}[110] // \text{L1}_0\text{-FePt}[100]$$

記憶層の FFT 電子回折像からは規則化を示唆する明瞭な L1₀-FePt(001)回折スポットが見られなかった．これは L1₀規則化相の形成量が非常に少ないことを示唆していると考えられる．一方，参照層 L1₀-FePt の FFT 電子回折像では規則化を示唆する L1₀-FePt(001)回折スポットが明瞭に見られる．参照層 L1₀-FePt は規則度の高さが示唆されている．高(001)配向多結晶下地層の効果により，結晶性の良好な L1₀-FePt 参照層が形成された結果である．参照層 L1₀-FePt(001)の詳細な構造解析については後述する．bcc-/Fe 界面層の FFT 電子回折像から，bcc-Fe 層は(001)配向はしているが，大きな格子歪を有した bct 構造となっていることが分かる．MgO/Fe 界面付近の HR-TEM 像からは明確にはエピタキシャルな関係は見る事ができず，転位の有無は確認できない．また，Fe/L1₀-FePt 界面は明確なコントラスト差が観察されていた．この結果から，Fe/L1₀-FePt 界面での相互拡散は抑制されていることが分かった．

次に，参照層に用いられた L1₀-FePt 層についての構造解析の結果を示す．前述したように参照層 L1₀-FePt は FeB と Pt の同時スパッタにより加熱された基板上の Pt(001)上に 400 °C の基板加熱成膜で形成した．Pt(001)も 400 °C の基板加熱成膜で形成され，L1₀-FePt 層のバッファ層である．fcc-Pt の格子定数は 0.392 nm であるため，0.385 nm の格子定数を持つ L1₀-FePt との格子ミスフィットは 1.8 %である．したがって，格子整合良くエピタキシャルな配向関係を維持しながら L1₀-FePt は成長することができる．従って，高(001)配向多結晶下地の配向性を反映している．また，FePt 形成時には B が 10 ~

20 at%の範囲で添加され最適化されているが、B 添加の基本的なコンセプトは、L1₀-FePt への B 添加による結晶粒径の微細化・均一化効果および B の結晶粒界への偏析による結晶粒粗大化の抑制を狙ったものである。X 線回折像解析結果を Fig.3-10 に示した[116]. Fig.3-10 には(a)面直 X 線回折 2θ プロファイル, (b)L1₀-FePt(001)ピークのロックングカーブ, (c)面内 X 線回折 $2\theta_{\chi}$ プロファイルが示されている。Fig.3-10 (a)の面直 X 線回折 2θ プロファイルからは、参照層 L1₀-FePt は良好な(001)配向を示した。解析結果からは、長距離規則度 $S = 0.81$, c 軸の格子定数は $c = 0.387$ nmであった。Fig.3-10 (c)の面内 X 線回折 $2\theta_{\chi}$ プロファイルの解析の結果から、 a 軸の格子定数は $a = 0.386$ nmであった。Fig.3-10(b)の解析から得られた L1₀-FePt 起因の(001)ピークのロックングカーブの半地幅 FWHM は 7.1deg.であり、良好な(001)配向性を示す結果となっている。次に L1₀-FePt 膜の平面 TEM 観察結果を示した[116]. Fig.3-11 に L1₀-FePt の電子線回折像と L1₀-FePt(001) 回折の制限視野 TEM 像を示した。L1₀-FePt 膜への B 添加の有無の比較については、Kitagawa ら[116]により詳細に報告されている。B 添加無しの L1₀-FePt 膜では結晶粒径ばらつきが大きくなり、磁気異方性分散が大きくなる傾向がみられていることが報告されている。上記の結果から、B 添加した L1₀-FePt は、均一な粒径を有し、高規則度 $S = 0.81$ であり、高(001)配向である多結晶膜であることが分かった。

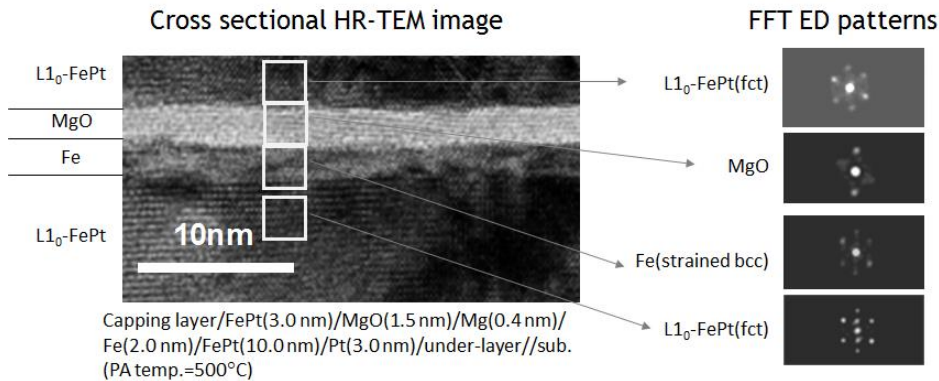


Fig.3-9 500 °C 短時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ 膜の断面 HR-TEM 像と FFT から得られた ED パターン。

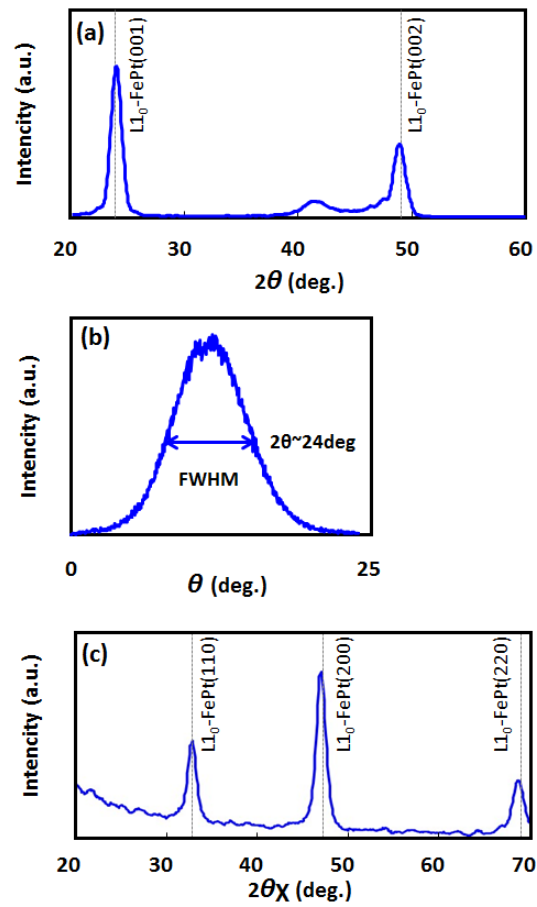


Fig.3-10 L_{10} -FePt 参照層の X 線回折プロファイル[116]. (a)面直 2θ プロファイル, (b) L_{10} -FePt(001)ピークのロッキングカーブ, (c)面内 $2\theta_\chi$ プロファイル.

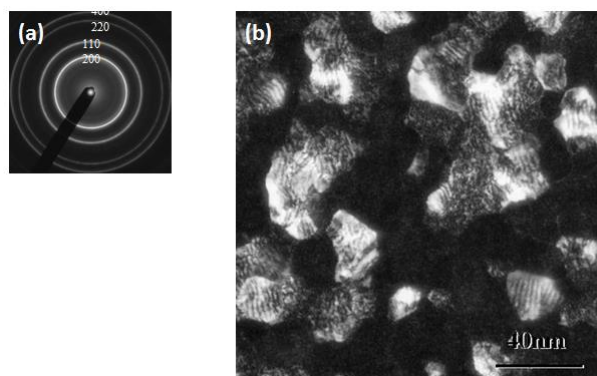


Fig.3-11 L_{10} -FePt 参照層の(a)平面 TEM 電子回折像と(b)平面 TEM 制限視野像[116].

3.5.2 L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の磁気特性と TMR

熱酸化 Si 基板上に DC/RF マグネトロンスパッタ法により形成された L1₀-FePt 磁性電極を用いた MgO-MTJ 膜の磁気特性を調べるため、VSM により M - H 曲線を測定した。評価した MTJ 膜の詳細構成は、Cap 層/ L1₀-FePt 3 nm/MgO 1.0 nm/Mg 0.4 nm/bcc-Fe 2.0 nm/L1₀-FePt 10.0 nm/Pt 3.0 nm/(001)-textured 下地層/熱酸化 Si(001)基板である。MTJ 膜には成膜直後に L1₀-FePt 記憶層の規則化のため真空中アニールが施された。規則化アニール温度は 500 °C であり、アニール時間は数分以内で最適化された時間を用いた。VSM 測定では膜面に垂直方向に磁界を掃引し M - H 曲線を取得した。

Fig.3-12 に ± 10 kOe の磁界掃引で測定された L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の M - H 曲線 (Major M - H 曲線) を示した。また、Fig.3-12 内には、記憶層のみの Minor M - H 曲線 (赤線) も示されている。Minor M - H 曲線では記憶層のみが反転するように参照層の保磁力 H_c よりも小さい磁界 (± 2.0 kOe) を掃引して評価した。高 K_u を有する垂直磁化膜の磁化反転は磁壁移動型磁化反転である。この場合、一般的には反転核 (磁区) が生成され磁化反転が開始し、反転核が成長 (磁壁が移動) しながら磁化反転する。 M - H 曲線では、反転核が生成され磁化反転が始まる磁界を核生成磁界 H_n 、反転核が成長しながら磁化反転が進行し M_s がゼロになる磁界を保磁力 H_c 、磁化反転が完全に完了する磁界を飽和磁界 H_s と定義される。 H_n と H_s の差が小さいほど、磁気異方性分散は小さいことを示す。垂直磁気異方性膜の一軸性は、 M - H 曲線の角型比 (Squareness : S) で表され、飽和磁化 M_s と残留磁化 M_r を用いて、 $S = M_r/M_s$ と定義される。Fig.3-12 に示した M - H 曲線から、L1₀-FePt(001)記憶層および bcc-Fe(001)/L1₀-FePt(001)参照層の保磁力 H_c は、それぞれ $H_c^{SL} = 0.6$ kOe、 $H_c^{RL} = 2.5$ kOe であり、核生成磁界 H_n はそれぞれ $H_n^{SL} \sim 0.3$ kOe、 $H_n^{RL} \sim 2.3$ kOe、飽和磁界 H_s はそれぞれ $H_s^{SL} \sim 0.9$ kOe、 $H_s^{RL} \sim 5.7$ kOe であった。記憶層の角型比 S は $S = 0.99 (\sim 1)$ を示し、良好な垂直磁気特性を示した。記憶層の飽和磁界 H_s^{SL} は参照層の核生成磁界 H_n^{RL} よりも十分小さく、記憶層と参照層の磁化反転は十分に分離されていることが分かる。このことは、記憶層と参照層の完全な平行磁化配列および反平行磁化配列が形成できることを示している。従って、Fig.3-12 に示された M - H 曲線およびその解析結果から、記憶層と参照層が明瞭な保磁力差を有する L1₀-FePt/MgO/Fe/L1₀-FePt-MTJ 膜の形成に成功したことが分かった。

次に、上述した L1₀-FePt 磁性電極を用いた MgO-MTJ 膜の TMR を CIPT 法[83]を用いて評価した。CIPT 法を用いることで、MTJ 膜を素子加工することなく、MTJ 膜の面抵抗 RA と TMR の評価が可能である。本検証の実施時は、垂直磁界印加型の CIPT 装置がまだ市販されていなかったため、Fig.3-8 に示したシーケンス・ステップに基づき、面内磁界印加型 CIPT 装置と VSM 装置を用いて TMR 評価を行なった。Fig.3-13 に今回の CIPT 評価過程で得られた平行磁化状態と反平行磁化状態のそれぞれの抵抗 R_p 、 R_{ap} と面内通電により得られた MR -chip のプローブピッチ依存性のグラフを示した。Fig.3-13 の

データを基に CIPT 法のフィッティング解析を行なった結果を Table.3-3 に示した. 得られた R_t および R_b はそれぞれ $30.4 \Omega/\square$, $29.1 \Omega/\square$ であった. CIPT 法では TMR 精度を向上させるためには, 上部電極抵抗 R_t と過分電極抵抗 R_b の比 R_t/R_b が $R_t/R_b \sim 1$ であることが求められる[83]. 今回の CIPT 評価では, $R_t/R_b \sim 1.04$ であり, 上部電極層と下部電極層の膜厚設定は妥当であることが分かった. 最終的には Table.3-3 に示されたように, L1₀-FePt 磁性電極を用いた MgO バリア層を有する垂直磁化 MTJ において, $RA_p = 13.4 \text{ k}\Omega\mu\text{m}^2$, $RA_{ap} = 27.5 \text{ k}\Omega\mu\text{m}^2$, $\text{TMR} = 105.2\%$ を観測することに成功した. 本結果は, 垂直磁化 MTJ 膜において世界で初めて 100% を超えた TMR を示したものである. 本検証の結果は, 垂直磁化 MTJ の TMR ポテンシャルを示すと共に, MgO(001) バリア層を有する垂直磁化 MgO-MTJ でも Δ_1 バンド起因のコヒーレントトンネリングによる高 TMR が期待できるということを実証した初めての結果となった.

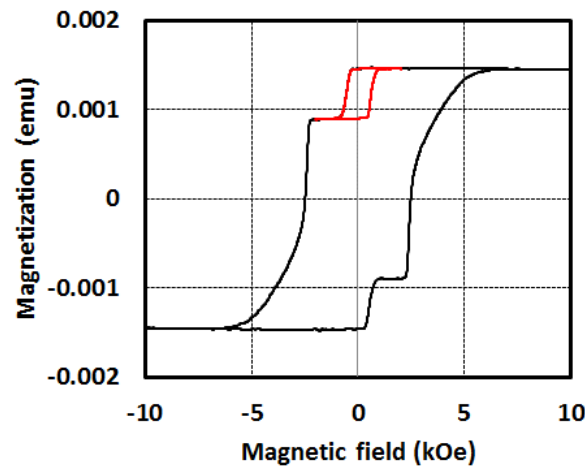


Fig.3-12 500 °C 短時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ 膜の M - H 曲線. MTJ 膜の構成 : Capping layer/FePt 3.0 nm/MgO 1.5 nm/Mg 0.4 nm/Fe 2.0 nm/FePt 10.0 nm/Pt 3.0 nm/Under-layer // sub.

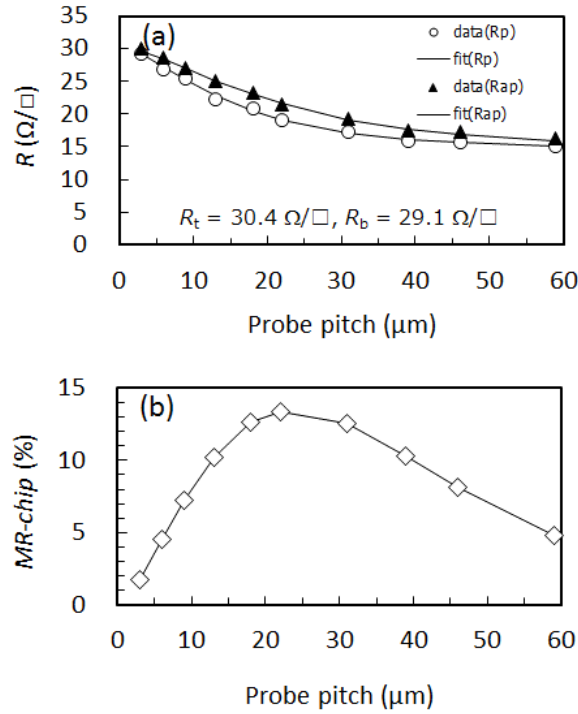


Fig.3-13 CIPT 法での測定結果. (a)抵抗とプローブ間隔の関係, (b)面内通電 MR (*MR chip*) とプローブ間隔の関係.

Table 3-3 CIPT 法でのフィッティング結果. TMR, RA_p , RA_{ap} , R_t , R_b の結果が示されている.

Parameters	Results
TMR	105.2 %
RA_p	13.4 kΩμm ²
RA_{ap}	27.5 kΩμm ²
R_t	30.4 Ω/□
R_b	29.1 Ω/□

3.5.3 高温短時間アニールの効果

本節では、3.3 節で説明したコンセプトの 1 つである高温短時間アニールの効果について説明する。Fig.3-14 には、L1₀-FePt 磁性電極を用いた MgO-MTJ に(a)400 °C-2 時間アニールと(b)500 °C 短時間（数分以内）アニールを施した場合のそれぞれの M - H 曲線を示した。400 °C -2 時間アニールと 500 °C 短時間アニールで bcc-Fe 界面層膜厚は最適化されており、bcc-Fe 界面層膜厚はそれぞれ 1.5 nm, 2.0 nm である。Fig.3-14(b)の M - H 曲線は、Fig.3-12 と同等の M - H 曲線であり、比較のために示した。400 °C -2 時間アニールの L1₀-FePt-MgO-MTJ の M - H 曲線では、記憶層および参照層の保磁力は、それぞれ $H_c^{SL} = 1.9$ kOe, $H_c^{RL} = 4.3$ kOeであった。記憶層、参照層の保磁力 H_c は Fig.3-14(b)の M - H 曲線から得られた $H_c^{SL} = 0.6$ kOe, $H_c^{RL} = 2.5$ kOeより大きいことが分かる。Fig.3-14(a)内に赤字で示された記憶層のマイナー M - H 曲線を見ると、記憶層の飽和磁界 H_s が参照層の核生成磁界 H_n を越えている。記憶層の磁化反転が完全に終わる前に、参照層の磁化反転が始まっている。記憶層記憶層と参照層の磁化反転の分離ができておらず、明瞭な保磁力差型の M - H 曲線は得られていない。この結果は、記憶層と参照層の完全な反平行磁化状態が形成できていないことを示している。

Fig.3-14 で示した 2 つの M - H 曲線の差異が発生した原因について考察するため、それぞれのアニール条件で起こっていると考えられる磁化状態、拡散状態、および、規則化状態を示す模式図を Fig.3-15 に示した。上述した 400 °C-2 時間アニール後の記憶層の保磁力 H_c が大きい原因は、長時間アニールによる記憶層の規則度向上によると考えられる。飽和磁界 H_s の増大も見られていることから、規則度向上と共に記憶層中の L1₀-FePt 規則相の成長あるいは記憶層の結晶粒成長が進行し、(001)配向軸の分散が増大することで L1₀-FePt の磁気異方性分散が大きくなったと考えられる。一方、bcc-Fe/L1₀-FePt 参照層においては、L1₀-FePt 参照層の結晶粒粗大化および bcc-Fe 界面層と L1₀-FePt 層の間の相互拡散が進み、L1₀-FePt 参照層の(001)配向軸分散の劣化および規則度の低下が生じていると考えられる。このことは、bcc-Fe/L1₀-FePt 参照層 H_c^{RL} の増大および飽和磁界 H_s の増大から推察することができる。結果的に、400 °C-2 時間アニールでは Fig.3-15(a) に示した磁化状態になっており、記憶層と参照層の十分な保磁力差が得られない。

一方、Fig.3-14(b)に示した 500 °C 短時間（数分以内）アニールを実施した L1₀-FePt を用いた MgO-MTJ の M - H 曲線は、3.5.2 項で説明したように明瞭な保磁力差型の M - H 曲線を示している。L1₀-FePt 記憶層は規則が進むが、短時間アニールにより L10 相の成長が抑制されていると考えられる。また、3.5.1 項で示した HR-TEM 観察結果から、bcc-Fe 界面層と L1₀-FePt 参照層の相互拡散が抑制されており、B 添加成膜により L1₀-FePt 参照層の結晶粒粗大化も抑制されていた。この結果、Fig.3-15(b)に示したような良好な一軸垂直磁気異方性を有する磁気特性が得られたと考えられる。

上述したように、3.3 節で説明したコンセプトに基づいた高温短時間アニールが、 $L1_0$ -FePt 磁性電極を用いた保磁力差型垂直磁化 MgO-MTJ 膜の形成を成功に導いた要因の 1 つであることは明確である。

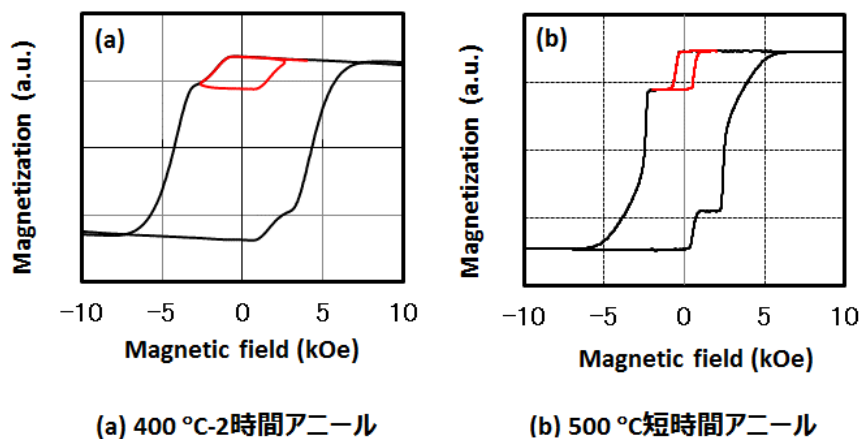


Fig.3-14 $L1_0$ -FePt を用いた垂直磁化 MgO-MTJ 膜の M - H 曲線（赤線は Minor M - H 曲線）。(a) 400 °C-2 時間アニール, (b) 500 °C 短時間（数分以内）アニール。

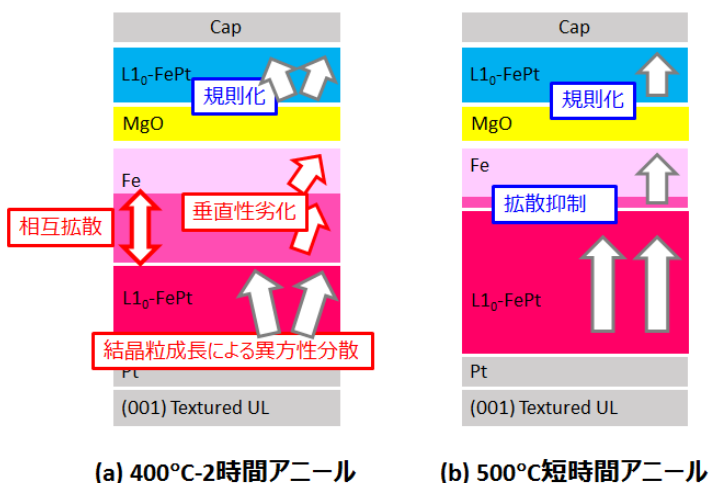


Fig.3-15 $L1_0$ -FePt を用いた垂直磁化 MgO-MTJ 膜の磁化状態、拡散状態、規則化状態を示した模式図。(a) 400 °C-2 時間アニール, (b) 500 °C 短時間（数分以内）アニール。

3.5.4 bcc-Fe 界面層膜厚による磁気特性と TMR の変化

本項では、bcc-Fe(001)界面層の膜厚が磁気特性及び TMR 特性に及ぼす影響について考察する。3.3 節でも述べたように、bcc-Fe(001)界面層は MgO(001)バリア層と L1₀-FePt 参照層との界面ミスフィットを緩和する役割があり、その膜厚と MgO(001)バリア層の膜質は密接に関連していることが予想される。

Fig.3-16 に 400 °C-2 時間アニールを施した場合の L1₀-FePt を用いた MgO-MTJ の TMR と RA の bcc-Fe(001)界面層厚依存性を示した。bcc-Fe(001)界面層厚(t_{Fe})は、0.0~2.0 nm の範囲で変化させた場合の規格化 TMR と規格化 RA を示している。Fig.3-16 から 400 °C-2 時間アニールでの TMR と RA は極大値を持つが、その場合の bcc-Fe(001)界面層膜厚が異なる。TMR は 1.5 nm で極大となり、RA は $t_{\text{Fe}} = 1.0$ nm で極大となる。極大値前後の物理的な意味合いは異なっていると考えられ、以下で説明する。尚、500 °C 短時間アニールの場合も、400 °C-2 時間アニールの場合とほぼ同じ TMR と RA の傾向を持ち、bcc-Fe(001)界面層厚 2.0 nm 付近で TMR の極大値を取る。

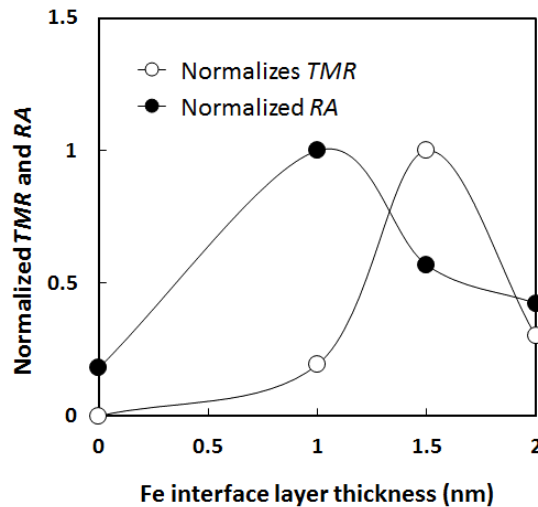


Fig.3-16 400 °C-2 時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ の Normalized TMR と Normalized RA の bcc-Fe 界面層厚依存性。

Fig.3-17 にそれぞれの bcc-Fe(001)界面層膜厚での M - H 曲線を示した。赤線は Minor M - H 曲線を示している。Fig.3-18 には、その時の記憶層と参照層の保磁力の挙動をグラフ化した図を示した。Fig.3-18 から bcc-Fe(001)界面層厚 $t_{\text{Fe}} = 1.0 \sim 2.0$ nm の範囲では、L1₀-FePt 記憶層と bcc-Fe/L1₀-FePt 参照層の間で保磁力 H_c の差は得られている。しかし、

Fig.3-17 に示した M - H 曲線から L1₀-FePt 記憶層と bcc-Fe/L1₀-FePt 参照層の磁化反転が分離出来るのは、 $t_{\text{Fe}} = 0.0 \sim 1.5 \text{ nm}$ の範囲である。 $t_{\text{Fe}} = 2 \text{ nm}$ では、L1₀-FePt 記憶層の飽和磁界 H_s は bcc-Fe/L1₀-FePt 参照層の反転核生成磁界 H_n を超えていることが分かる。この傾向は上述した TMR の傾向と一致する。また、Fig.3-18 から記憶層の保磁力 H_c はほとんど変化がなく一定であるが、参照層は bcc-Fe 界面層厚が厚くなるにしたがい、保磁力 H_c は単調に低下している。bcc-Fe 界面層は面内磁気異方性であるため、bcc-Fe 界面層が厚くなると bcc-Fe 界面層の磁化量の分だけ bcc-Fe/L1₀-FePt 参照層の実効的な垂直異方性磁界 H_{eff} が低下するためである。一般的に磁化量は飽和磁化 M_s と膜厚 t の積 $M_s \cdot t$ で表される。

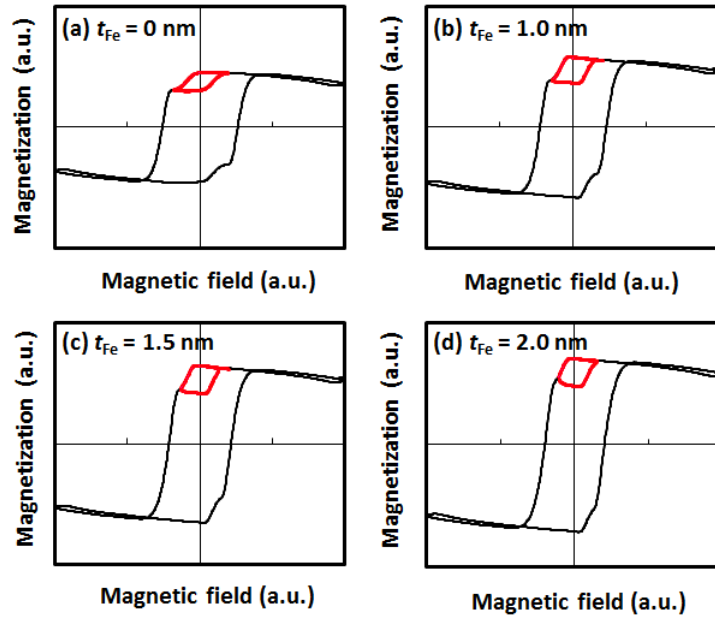


Fig.3-17 400 °C-2 時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ の M - H 曲線（赤線は Minor M - H 曲線）の bcc-Fe 界面層厚 (t_{Fe}) 依存性。 (a) $t_{\text{Fe}} = 0.0 \text{ nm}$, (b) $t_{\text{Fe}} = 1.0 \text{ nm}$, (c) $t_{\text{Fe}} = 1.5 \text{ nm}$, (d) $t_{\text{Fe}} = 2.0 \text{ nm}$ 。

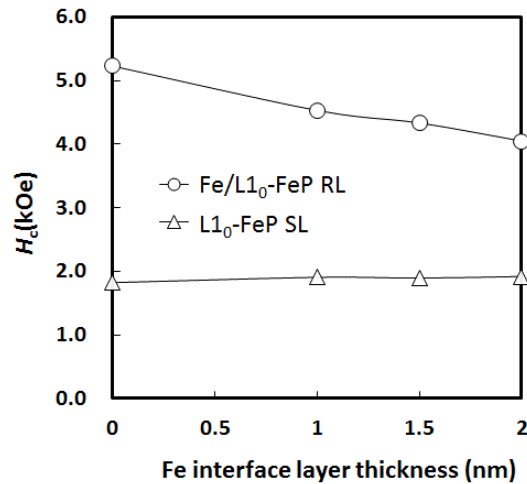


Fig.3-18 400 °C-2 時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ 膜の L1₀-FePt 記憶層と bcc-Fe/L1₀-FePt 参照層の保磁力 H_c の bcc-Fe 界面層厚依存性.

次に、上述した実験結果に基づき、L1₀-FePt を用いた MgO-MTJ において bcc-Fe(001) 界面層厚を変化させた場合に起こっている現象について考察を試みた。Fig.3-19 には、L1₀-FePt/MgO/bcc-Fe/L1₀-FePt-MTJ で起こっていると推察される MgO(001) バリア層の結晶状態、L1₀-FePt(001) 記憶層と bcc-Fe(001)/L1₀-FePt(001) 参照層の磁化状態を模式的に示した。Fig.3-19 では L1₀-FePt(001) 参照層、bcc-Fe(001) 界面層、L1₀-FePt(001) 記憶層の磁化状態を矢印で示した。以下で順次、各状態について説明する。

Fig.3-19(a) に、bcc-Fe 界面層が無く ($t_{\text{Fe}} = 0.0 \text{ nm}$)、L1₀-FePt 参照層上に直接 MgO が形成された状態を示した。この場合、L1₀-FePt(001) と MgO の (001) での格子ミスフィットが 8.6% と大きい。従って、MgO は L1₀-FePt(001) 上でエピタキシャルに成長できず、非連続に島上に成長し、大傾角粒界が形成されやすくなる。さらに、(001) 配向の維持が困難となる。この時、局所的に極薄膜あるいは非連続となることから、 $RA \sim 0 \Omega \mu\text{m}^2$ 、 $TMR \sim 0 \%$ となる。MgO バリア層が非連続かつ (001) 配向劣化部分を有することから、その上に形成される L1₀-FePt 記憶層の (001) 配向性が劣化する。Fig.3-17(a) に示した L1₀-FePt 記憶層の Minor $M-H$ 曲線では飽和磁界 H_s の増大が見られており、磁気異方性分散の増大を示唆している。

Fig.3-19(b)に 1.0 nm の bcc-Fe 界面層を挿入した場合の状態を示した. bcc-Fe 界面層は L1₀-FePt(001)上で(001)配向しエピタキシャルに成長する. この時各層の方位関係は bcc-Fe(001) // L1₀-FePt(001), bcc-Fe[110] // L1₀-FePt[100]である. しかしながら, bcc-Fe(001)界面層厚が十分でなく, 下部の L1₀-FePt(001)参照層から受ける格子ミスフィットが bcc-Fe(001)界面層内で十分に緩和できない. その結果, MgO(001)/bcc-Fe(001)界面の格子ミスフィットは十分に低下せず, 1.0 nm bcc-Fe(001)層上に形成される MgO(001)は連続的になり大傾角粒界は消失するものの, (001)配向性が未だ不十分な状態である. MgO(001)/bcc-Fe(001)界面では格子ミスフィット起因の転位導入も予想される. MgO(001)の連続性の改善および(001)配向の改善により, L1₀-FePt 記憶層の垂直磁化特性は改善する. この結果, RAは極大値となり, TMRの増大も限定的となる.

Fig.3-19(c)に 1.5 nm の Fe 界面層を形成した場合の状態を示した. bcc-Fe 界面層厚は L1₀-FePt 参照層からの格子ミスフィットを界面層内で十分緩和でき, bcc-Fe(001)界面層の表面では bcc-Fe の格子定数に近くなる. この結果, MgO(001)バリア層も bcc-Fe(001)界面層上でエピタキシャルに成長できるようになり, 連続膜であり良好な(001)配向を示すようになる. この場合, L1₀-FePt 記憶層の(001)配向も改善され, 垂直磁気特性も良好となる. bcc-Fe 界面層の格子歪も緩和されるため, MgO(001)/bcc-Fe(001)界面での転位導入も低減する. この結果, Δ_1 バンド起因のコヒーレントなトンネル伝導が主となり RA が低下傾向を示し始めると同時に TMR が増大する.

最後に Fig.3-19(d)に 2.0 nm の bcc-Fe 界面層を挿入した場合の状態を示した. bcc-Fe(001)界面層厚は十分であり, MgO(001)バリア層の結晶性は良好となる. その結果, L1₀-FePt 記憶層の磁気特性も改善される. しかし, bcc-Fe(001)界面層が厚すぎるため, bcc-Fe(001)界面層の大きな磁化量 $M_s \cdot t$ に耐え切れず, bcc-Fe(001)/L1₀-FePt(001)参照層全体の実効的垂直磁気異方性 H_{eff} が劣化してしまい, bcc-Fe(001)界面層の磁化が傾く結果となる. bcc-Fe(001)界面層厚の増大に伴う bcc-Fe(001)/L1₀-FePt(001)参照層の保磁力の劣化は Fig.3-18 に示した通りであり, この場合同時に反転核生成磁界 H_n も劣化する. Fig.3-17(d)に示したような記憶層と参照層の磁化反転を分離できていない M - H 曲線の場合, L1₀-FePt(001)記憶層と bcc-Fe(001)/L1₀-FePt(001)参照層の間での平行磁化状態と反平行磁化状態の形成が困難となる. この結果として, MTJ 膜で観測される TMR が劣化する.

上述してきたように, 本章で得られた bcc-Fe 界面層挿入による RA, TMR, 磁気特性の実験結果を説明するためのモデルを構築した. ここで構築したモデルは定性的には, 界面層を用いた場合の垂直磁化 MTJ の本質を示していると考えている. 本結果から bcc-Fe(001)界面層の挿入は, MgO(001)バリア層の結晶性改善と L1₀-FePt(001)記憶層垂直磁気特性改善に寄与する. 一方, bcc-Fe(001)/L1₀-FePt(001)参照層の垂直磁気特性の劣化を引き起こす. すなわち, 相反的な関係が存在しており, 界面層厚を最適化することで TMR は極大値を有することになる. 本章で得られた結果は, 良好な保磁力差の実現と高 TMR 化が垂直磁化 MTJ 膜形成時の最大の課題であることを示している.

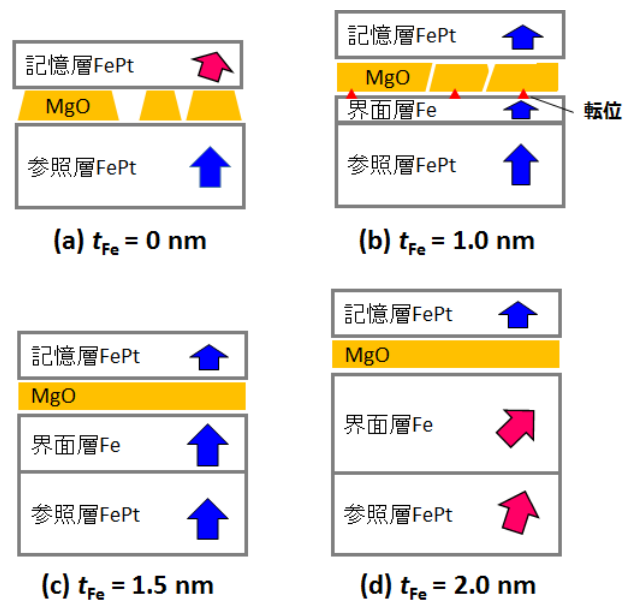


Fig.3-19 L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜の各 bcc-Fe 界面層膜厚 (t_{Fe}) における L1₀-FePt 記憶層と bcc-Fe/L1₀-FePt 参照層の磁化状態と MgO(001)バリア層の結晶性を示した模式図.

3.5.5 TMR の記憶層 L1₀-FePt 層膜厚依存性

本章では, L1₀-FePt/MgO/bcc-Fe/L1₀-FePt-MTJ の高 TMR 化に焦点を当てて検証を進めてきた. 次のステップとなる STT 磁化反転を考慮すると, L1₀-FePt 記憶層の薄膜化は低 STT 磁化反転のためには必須であると考えられる.

Fig.3-20 に L1₀-FePt/MgO/bcc-Fe/L1₀-FePt-MTJ の TMR と RA の記憶層 L1₀-FePt 層厚依存性を示した. L1₀-FePt 記憶層の薄膜化検証は, 次のステップとなる STT 磁化反転検証を考慮して行なったものである. 記憶層は 2.0 nm までは TMR の大きな変化ではないが, TMR~100%付近で微減傾向であることが分かる. 一方, RA は L1₀-FePt 記憶層の薄膜化に伴い単調に低下傾向を示している. この RA の低下の原因は明確に観測出来てはいないが, 次のように推測することが可能である. MgO(001)バリア形成直後では MgO(001)内部の格子歪は小さい. MgO 成膜後に FePt 記憶層が成膜成膜去れ規則化アニールにより L1₀-FePt 記憶層が形成される. L1₀-FePt 記憶層の膜厚が比較的厚い 3.0 nm 以上の場合, L1₀-FePt(001)記憶層と MgO(001)バリア層の界面でのエピタキシャルな結晶関係は維持され, L1₀-FePt 記憶層内部で MgO(001)と L1₀-FePt(001)界面での大きなミスフィットは L1₀-FePt 記憶層内部で緩和されている. L1₀-FePt 記憶層の薄膜化に伴い, MgO(001)と L1₀-FePt(001)記憶層との界面での格子ミスフィットは L1₀-FePt 記憶層内だけでは緩和が困難となる. 従って, 界面での格子ミスフィットは MgO(001)バリア層の界面付近に格子歪を引き起こす. この結果, MTJ の RA が低下し, TMR も少しずつ低下しているのではないかと考えられる. また, L1₀-FePt(001)記憶層と MgO(001)バリア層の界面ではエピタキシャルな関係を維持しているため, 逆に L1₀-FePt 記憶層内部にも大きな歪が発生し, FePt(001)記憶層の規則化を阻害していることも推察される.

Fig.3-21 に L1₀-FePt 記憶層の膜厚と記憶層の保磁力 H_c の関係を示した. L1₀-FePt 記憶層の保磁力 H_c は薄膜化に伴い低下傾向が見られる. 記憶層薄膜化による保磁力 H_c の低下の原因としては, L1₀-FePt 記憶層内の格子歪の増大と L1₀規則度の低下が考えられる. これは, TMR と RA の挙動から予想される考察と一致する. 記憶層薄膜化に伴う L1₀-FePt 記憶層内部の格子歪の増大は L1₀規則相の結晶核の形成を阻害している可能性がある. MgO(001)バリア層上の L1₀-FePt(001)記憶層形成の場合, L1₀-FePt 記憶層の規則度 $S=1$ を仮定すると, 9.4%の格子歪を L1₀-FePt(001)記憶層に誘発する. さらに, L1₀-FePt 記憶層の薄膜化により, L1₀-FePt 記憶層上部キャップ層との界面の影響が大きくなり, キャップ層との格子ミスフィットの影響も無視できなくなる傾向である. L1₀規則度改善だけであれば, アニール条件の高温化などで改善が見込まれるが, 参照層への影響も考慮するとアニール条件の改善は限定的である.

上記の考察から, L1₀-FePt(001)記憶層を薄膜化し, 良好な垂直磁気特性を得るためには, L1₀-FePt(001)内部の格子歪を根本的に低減する必要がある. すなわち, MTJ 積層構造および記憶層形成方法の抜本的見直しが必要である. 本項で示された結果は,

MgO(001)バリア層上に極薄で良好な垂直磁気特性を有する L1₀ 合金記憶層の形成が困難であることを示唆しており, 次の第4章で後述する新規な記憶層コンセプトの構築に繋がることになる.

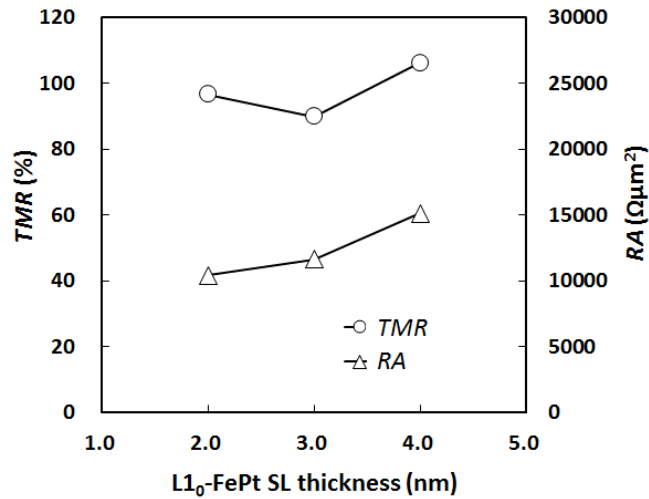


Fig.3-20 500 °C 短時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ 膜の TMR と RA の L1₀-FePt 記憶層厚依存性.

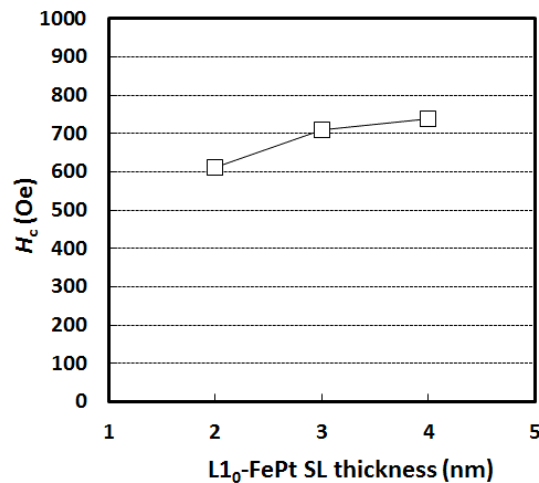


Fig.3-21 500 °C 短時間アニールを施した L1₀-FePt を用いた垂直磁化 MgO-MTJ 膜の L1₀-FePt 記憶層の保磁力 H_c の L1₀-FePt 記憶層厚依存性.

3.5.6 Fe 優先界面の効果

L1₀-FePt 磁性電極を用いた MgO-MTJ の TMR についての理論的見解について述べる。L1₀-FePt 磁性電極を用いた MTJ の TMR に関する第一原理に基づいた理論計算については、2008 年に Taniguchi らにより詳細に報告されている[117][118][119]。Taniguchi らは L1₀-FePt(001)/MgO(001)/L1₀-FePt(001)-MTJ モデルを用いて第一原理計算を実施した。Taniguchi らの第一原理計算結果では、MgO(001)バリア層のスピントンネル確率から電子のコンダクタンスを算出し、理論 TMR 値を計算している。MgO, L1₀-FePt の a 軸の格子定数はそれぞれ $a = 0.421$ nm, $a = 0.385$ nm であり、8.6 %の格子ミスフィットが想定されるが、彼らの計算モデルでは MgO の格子定数は L1₀-FePt の格子定数 $a = 0.385$ nmに合わせた構造モデルを用いている。また、MgO(001)/L1₀-FePt(001)界面での L1₀-FePt 層終端層が Fe となる Fe 優先界面と、終端層が Pt となる Pt 優先界面に場合分けして電子状態を計算した。計算結果から、Fe 優先界面の場合、TMR~380 %が得られている。一方、Pt 優先界面では TMR~70 %に留まった。この結果は、L1₀-FePt 磁性電極を用いた MgO-MTJ の高 TMR 化のためには Fe 優先界面が必要であることを示している。よって、Taniguchi らの計算結果は、第 3.3 節で述べた「人工格子モデル」を支持する結果となった。

さらにこの第一原理計算に基づく TMR 計算結果から言えることは、Fe 界面層挿入が無い L1₀-FePt(001)/MgO(001)/L1₀-FePt(001)-MgO-MTJ においても、エピタキシャルな界面が形成されれば、 Δ_1 バンド起因のコヒーレントトンネリングによる高 TMR が期待できることである。しかしながら、現状の薄膜形成プロセスでは L1₀-FePt(001)上の MgO(001)のエピタキシャルな結晶成長は不可能であると思われる。また、L1₀-FePt の終端層を完全に Fe にするプロセス技術が必要になるが、現状のプロセス技術では表面エネルギー制御が困難であると考えられる。

本研究では、第 3.3 節で述べたように、bcc-Fe(001)界面層の挿入により MgO(001)と L1₀-FePt(001)の界面での格子ミスフィットを緩和し、Fe 優先界面形成するというコンセプトに基づき検証を進めてきた。本章で提案したコンセプトは、Taniguchi らが報告している Fe 終端 L1₀-FePt を実験的に模擬したものであると考えており、その結果高 TMR が得られたものと解釈できる。結果的に、Taniguchi らの報告[117][118][119]は、本研究で考案した上記コンセプトを理論的側面からサポートする結果となっている。本検証で提案し構築した L1₀-FePt(001)磁性電極を用いた MgO(001)バリア層を有する MTJ の高 TMR 化のコンセプトが、現状の薄膜形成プロセス技術では適切であることを示していると考えられる。

3.6 小括

本章は以下のように小括される.

本章では垂直磁化 MTJ における高 TMR 化 (TMR > 100 %) を目的とした. 高い一軸結晶磁気異方性を有し, 優れたスケーリング性を有する L1₀-FePt(001)を用いた MgO(001)バリア層を有する垂直磁化 MTJ 膜の形成を試み, TMR および磁気特性の評価を行なった. その結果, 以下のことが明らかとなった.

1. L1₀-FePt(001)/MgO(001)/bcc-Fe(001)/L1₀-FePt(001)の構成を有する垂直磁化 MTJ 膜で, 世界で初めて 100 %を超える室温TMR~105.2 %, $RA = 13.4 \text{ k}\Omega\mu\text{m}^2$ を得ることに成功した.
2. L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜で, bcc-Fe 界面層挿入と 500 °C 高温短時間アニールにより, 記憶層 L1₀-FePt および参照層 bcc-Fe/L1₀-FePt の保磁力 H_c はそれぞれ $H_c^{\text{SL}} = 0.6 \text{ kOe}$, $H_c^{\text{RL}} = 2.5 \text{ kOe}$ を有する良好な保磁力差型 MTJ の M - H 曲線を得ることに成功した.
3. L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜において, L1₀-FePt(001)と MgO(001)での大きな格子ミスフィット (8.6 %) を緩和するために, 2.0 nm bcc-Fe(001)層を挿入することにより, エピタキシャルな関係を有する MgO(001)/bcc-Fe(001)/L1₀-FePt(001)積層を得ることに成功した. この時, 平滑な MgO(001)バリア層が観測された.
4. L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜において, 500 °C 短時間アニールにより, L1₀-FePt 記憶層の規則化を促進しながら, bcc-Fe(001)界面層と L1₀-FePt(001)参照層の界面での相互拡散が抑制されていることを示す明瞭な界面が観測された.
5. B 添加により, 高(001)配向で均一な結晶粒径分布を有する L1₀-FePt 層を得ることができたことにより, 500 °C 高温アニール後においても, L1₀-FePt 参照層の結晶粒径の粗大化が抑制された.
6. 400 °C-2 時間アニールを施した L1₀-FePt(001)を用いた垂直磁化 MgO-MTJ 膜の M - H 曲線およびTMRと RA の bcc-Fe(001)界面層厚依存性の評価結果から, bcc-Fe(001)界面層 0.0 nm で TMR は 0 %であり, bcc-Fe(001)界面層 1.5 nm で TMR は極大値を取ることが分かった. bcc-Fe(001)界面層が 1.5 nm より厚い場合は, bcc-Fe/L1₀-FePt 参照層の垂直磁気特性が劣化により TMR は低下した.

第 4 章 L1₀-FePd を用いた垂直磁化 MTJ の低電流スピン注入磁化反転

4.1 はじめに

垂直磁化方式の STT 磁化反転観測の歴史を Table 4-1 に示した。2006 年, Mangin ら [101] と Meng ら [102] により垂直磁化膜のスピン注入磁化反転が初めて観測された。Mangin らは, Co/Ni 記憶層と Co/Pt 参照層を組み合わせた保磁力差型垂直磁化巨大磁気抵抗効果 (Giant Magnetoresistance : GMR) 素子を作製し, 世界で初めて垂直磁化 GMR 素子での STT 磁化反転の観測に成功した。第 2 章の 2.4 節でも述べたように, Mangin らは垂直磁化方式の利点についても言及しており, 垂直磁化方式では面内磁化方式よりも STT 磁化反転電流 I_c が低減できるポテンシャルを有することが示唆されている。しかしながら, 彼らの報告では実際の STT 磁化反転電流密度は $J_c \geq 1 \times 10^7 \text{ A/cm}^2$ と大きく, 面内磁化方式と比較した場合の I_c 低減の優位性は不明確であった。Mangin らと Meng らの GMR 素子での報告の後, 垂直磁化方式の STT 磁化反転の研究開発は, GMR 素子から MTJ 素子に移行していった。

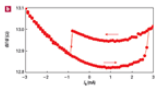
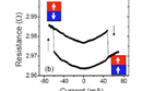

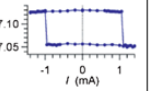
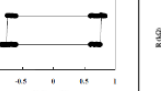
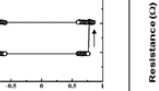
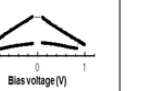
2007 年, Yoda らは世界で初めて垂直磁化 MTJ の STT 磁化反転を報告した [103]。同時に, 第 2 章の 2.4 節で述べたように垂直磁化方式の STT 磁化反転電流の低電流化および STT 磁化反転電流効率向上のコンセプトを解析的な手法で明確化した。また, 垂直磁化 MTJ を用いた STT-MRAM のデバイスとしての利点にも言及し, 垂直磁化方式は面内磁化方式よりもスケーリング性に優れることを示した。Table 4-1 に, Mangin ら, Meng ら, Yoda らの報告とそれらに続く GMR 素子および MTJ 素子による垂直磁化方式の STT 磁化反転の報告例を示した。Nakayama ら [107] は, 垂直磁化 CoFeB/TbCoFe 記憶層を用いた MgO(001) バリア層を有する MTJ において, $J_c^{\text{AP-to-P}} = 4.7 \times 10^6 \text{ A/cm}^2$ ($< 1 \times 10^7 \text{ A/cm}^2$) となる STT 磁化反転電流を発表した。希土類元素を含む TbCoFeB を用いた記憶層を有する MTJ の STT 磁化反転では STT 効果が小さく, TbCoFe の低い熱安定性によりジュール熱の影響を大きく受けた STT 磁化反転であることが報告されている。次に Nagase らは, Co 系多層膜を記憶層に用いた MgO バリア層 MTJ (以下, MgO-MTJ) の STT 磁化反転を報告し [108], $J_c^{\text{AP-to-P}} = 2.7 \times 10^6 \text{ A/cm}^2$ という非常に小さい電流での STT 磁化反転を示した。Nagase らの報告では, 記憶層のダンピング低下と共に STT 磁化反転電流 I_c が低下することが示され, 低電流 STT 磁化反転には理論通りダンピングの低減が有効であることを示した。上記の 2 つの報告が垂直磁化 MgO-

MTJ の低電流 STT 磁化反転の先駆けであり、垂直磁化方式の STT 磁化反転のポテンシャルが示されたことにより、垂直磁化 MgO-MTJ の開発が加速されるきっかけとなった。

一方、高い結晶磁気異方性 K_u を有する L1₀ 規則合金記憶層を用いた STT 磁化反転についても2つの実験結果が報告されている。Table 4-1 に L1₀-FePt を用いた GMR 素子による STT 磁化反転に関する研究報告例を示した[120][121]。第3章で述べたように L1₀-FePt 合金は L1₀ 規則合金の中でも最も高い結晶磁気異方性 K_u ($6.6\text{--}10\times 10^7 \text{ erg/cm}^3$) を有するため、MTJ 素子の微細化には最も適しており、スケール性が優れていると考えられる。しかしながら、L1₀-FePt 合金を記憶層に用いた GMR 素子では、STT 磁化反転電流が STT 磁化反転電流密度で $1 \times 10^7 \text{ A/cm}^2$ を大きく上回ることが、Seki ら[120]と Yakusshiji ら[121]により報告された。この報告結果から、MTJ 素子で L1₀-FePt 記憶層を適用した場合、バリア層の耐圧の観点からバリア破壊せずに STT 磁化反転を観測できるレベルではなかった。さらに、セル選択トランジスタ駆動電流の観点から考えると、STT 磁化反転電流が大きいため、MTJ 素子に対して大幅に大きなサイズのトランジスタが必要になり、デバイス化が困難であった。STT 磁化反転電流が大きい原因としては、L1₀-FePt は高い K_u は有するものの、ダンピング $\alpha = 0.05 \sim 0.1$ と大きいことが課題として挙げられている[120]。また、STT は主に界面で効果的に作用すると考えられていたもので、L1₀-FePt 記憶層の薄膜化により STT 効率が向上し、低電流 STT 磁化反転が可能だと考えていた。しかしながら、L1₀-FePt 記憶層の場合、薄膜化しても STT 磁化反転電流密度 J_c は $1 \times 10^7 \text{ A/cm}^2$ 以下にはならないことが明確化された[121]。以上の報告結果から、高 K_u を有する垂直磁化 MgO-MTJ において、STT 磁化反転電流 J_c の低減の実現ためには、記憶層の極薄膜化だけでは不十分であり、高 K_u で低ダンピングな垂直磁化記憶層を実現できるかどうかは課題であることが明確となった。従って、第3章では Fe 基 L1₀ 合金である L1₀-FePt 記憶層を有する MTJ の高 TMR 化を検討したが、STT 磁化反転検証前に材料選定から見直しを余儀なくされた。

本章では垂直磁化 MgO-MTJ における低電流 STT 磁化反転実現に向けた検証結果を述べる。まず、L1₀ 規則合金の1つである L1₀-FePd 材料選択の背景と低ダンピングを実証した結果について述べる。次に、低ダンピングな L1₀-FePd を活かし、低電流 STT 磁化反転を達成するための記憶層設計コンセプトを述べる。その後、世界で初めてとなる $J_c < 1 \times 10^6 \text{ A/cm}^2$ での垂直磁化 MTJ の STT 磁化反転結果を示す。最後に、L1₀-FePd を用いた垂直磁化 MTJ の STT 磁化反転のメカニズムおよび STT 磁化反転電流のスケール性について議論する。

Table 4-1 垂直磁化方式の GMR 素子および MTJ 素子における STT 磁化反転の研究開発の歴史[101][102][103] [107][108] [120][121].

p-GMR素子				p-MTJ素子		
S. Mangin <i>et al.</i>	H. Meng <i>et al.</i>	T. Seki <i>et al.</i>	K. Yakushiji <i>et al.</i>	H. Yoda <i>et al.</i>	M. Nakayama <i>et al.</i>	T. Nagase <i>et al.</i>
2006	2006	2006	2008	2007	2008	2008
Nature Mater., 5, 210 (2006)	Appl. Phys. Lett. 88, 172506 (2006)	Appl. Phys. Lett. 88, 172504 (2006)	Appl. Phys. Express, 1, 041302 (2008)	7 th IWFIPT, Session III c	J. Appl. Phys. 103, 07A710 (2008)	2008 APS March meeting
Pt/[Ni/Co] ₄ /Cu/[Co/Ni] ₄ /[Co/Pt] ₄ /Pt//sub.	[Pt/CoFe] ₇ /Cu/CoFe/[Pt/CoFe] ₅ /Pt/UL//sub.	FePt/Au/Fe/FePt/UL//sub.	FePt/Fe/Au/Fe/FePt/Fe/Au/Cr//sub.	Not disclosed	TbCoFe/CoFeB/MgO/CoFeB/TbCoFe/UL//sub.	[Co/X]y/CoFeB/MgO/CoFeB/FePt/Pt/Cr/UL//sub.
						
$J_c(\text{AP-to-P}) = 2.6 \times 10^7 \text{ A/cm}^2$ $J_c(\text{P-to-AP}) = 7.5 \times 10^7 \text{ A/cm}^2$	$J_c(\text{AP-to-P}) = 1.0 \times 10^8 \text{ A/cm}^2$ $J_c(\text{P-to-AP}) = 1.3 \times 10^8 \text{ A/cm}^2$	$J_c(\text{AP-to-P}) \approx 6.7 \times 10^8 \text{ A/cm}^2$ $J_c(\text{P-to-AP})$; Not observed	$J_c(\text{AP-to-P}) = 2.0 \times 10^7 \text{ A/cm}^2$ $J_c(\text{P-to-AP}) = 1.8 \times 10^7 \text{ A/cm}^2$	Not disclosed	$J_c(\text{AP-to-P}) = 4.7 \times 10^6 \text{ A/cm}^2$ $J_c(\text{P-to-AP}) = 4.9 \times 10^6 \text{ A/cm}^2$	$J_c(\text{AP-to-P}) = 2.7 \times 10^6 \text{ A/cm}^2$ $J_c(\text{P-to-AP}) = 3.1 \times 10^6 \text{ A/cm}^2$

4.2 垂直磁化 MTJ の記憶層設計コンセプト

4.2.1 L1₀-FePd 記憶層材料の選択

第1章の1.6.1項でも説明したように、STT 磁化反転電流 I_c は式(1-6)で表される。本項では、式(1-6)のダンピング α に着目した。ダンピングの起源については、Kamberský ら [122][123][124]によって詳細に報告されている。ダンピングは微視的な観点から、下記のような式で与えられる。

$$\alpha = \frac{G}{4\pi M_s} = \frac{1}{4\pi M_s} \left(\frac{\gamma}{2}\right)^2 D(E_F)(g-2)^2 \tau \quad (4-1)$$

$$g-2 = 2 \left(\frac{\mu_L}{\mu_S}\right) \quad (4-2)$$

ここで、 G はギルバートダンピング定数（Gilbert damping constant : G ）、 M_s は記憶層の飽和磁化、 γ はジャイロ定数、 $D(E_F)$ はフェルミエネルギーでの状態密度、 g は g 因子、 τ は電子の緩和時間、 μ_L は軌道モーメント、 μ_S はスピンモーメントである。Kamberský らは、ダンピング α は、スピン軌道相互作用（Spin Orbit Coupling : SOC）に依存していることを述べており、SOC が小さいほどダンピング α も小さくなることを示唆している。この式(4-1)と式(4-2)から、ダンピング定数 α を下げるためには、 $D(E_F)$ が小さく、軌道モーメントが小さい材料を選定する必要があることが分かる。

まず、ダンピングを材料的視点から考え直した。ここで、再度、Fe 基合金と Co 基合金のどちらを選択すべきかを考える。Fe と Co は同じ 3d 元素である。しかし、外殻電子数の違いに起因して安定構造が異なり、それぞれ bcc 構造と hcp 構造が安定構造である。結晶構造の違いおよび最外殻電子数の違いから、bcc-Feの方が小さな電子密度を有することが予測される。また、第一原理に基づいた電子状態計算からも、フェルミエネルギー付近の状態密度は Fe の方が小さくなることが古くから知られていた。式(4-1)からダンピングはフェルミエネルギー付近の状態密度に比例することから、bcc-Fe をベースにした Fe 基 L1₀規則合金を選択することを決定した。

次に、Fe 基 L1₀規則合金の軌道モーメントとスピンモーメントについて考える。前章で選択した L1₀-FePt における Pt は 5d 軌道を有する元素である。一般的に、3d, 4d, 5d 元素との合金は、前記の順に従い、軌道モーメントは大きくなる傾向があることが知られている。これは、それぞれの d 軌道の軌道角運動量に起因している。一般的に、3d, 4d, 5d となるに従い d 軌道の軌道半径は大きくなり、 d 軌道の軌道角運動量は大きな

る傾向がある．このことから，5*d* 元素である Pt を用いるよりは，4*d* 元素である Pd がダンピングを下げるには適切であると判断した．一般的には，L1₀-FePd は L1₀-FePt と同様に $\sim 1 \times 10^7$ erg/cm³ の大きな結晶磁気異方性を有することが知られている．結晶磁気異方性とダンピングは共に物理的な起源が同じと言われており，軌道モーメント成分が主要な要因であったことから，L1₀-FePd が低ダンピングを有するという予測は本検証以前には全く報告されていなかった．本検証では，上述してきた物理的な考察から，L1₀-FePd は低ダンピングの可能性があると考え，L1₀-FePd を記憶層材料として選定した．

4.2.2 CoFeB 界面層を用いた積層記憶層

STT 磁化反転電流 I_c と STT 効率 $g(\theta)$ の關係に着目した．第1章の1.6.1の式(1-6)に表されるように，STT 磁化反転電流 I_c は $g(\theta)$ に反比例であり，STT 効率 $g(\theta)$ が増大すると STT 磁化反転電流 I_c も低下する．また，式(1-11)から STT 効率 $g(\theta)$ は TMR とも相關する．Fig.4-1 には式(1-10)と式(1-11)を用いて分極率 P の TMR 依存性と AP-to-P 磁化反転と P-to-AP 磁化反転におけるそれぞれの STT 効率 $g(\pi)$ ， $g(0)$ の TMR 依存性を図示した．STT 効率 $g(\theta)$ は TMR 増大と共に改善・増大していることが分かる．また，TMR が増大するに従い， $g(\theta)$ の非対称性も大きくなる．しかしながら，P-to-AP 磁化反転の STT 効率 $g(0)$ の TMR 依存性は大きくはなく，根本的な STT 磁化反転電流 I_c 低減のためにはダンピング α の低減も合わせて重要であることが分かる．

本検証では，TMR 増大による STT 効率 $g(\theta)$ の改善を見込み，MgO バリア層と L1₀-FePd 記憶層の間に CoFeB を挿入した CoFeB/L1₀-FePd 積層記憶層構造を採用した．第1章で述べたように面内磁化 MTJ における多くの報告例から，CoFeB/MgO/CoFeB 積層を有する MTJ は高い TMR ポテンシャルを有することが分かっている．また，後述するが，界面層を挿入しない L1₀-FePd を記憶層に用いた垂直磁化 MgO-MTJ では TMR は非常に小さくなることが報告されており[134]，界面層挿入等による高 TMR 化施策が必要であることは明確であった．また，第3章で得られた知見である高温短時間アニール等の適用により，CoFeB 界面層挿入の垂直磁化 MTJ でも大きな TMR が得られる可能性があると予想した．これは， Δ_1 バンド起因の TMR は MgO/CoFeB 界面での整合性と結晶対称性に大きく依存するため，CoFeB 界面層の MgO/CoFeB 界面付近の一部が再結晶化することでも大きな TMR が得られると考えたからである．従って，本検証では bcc-Fe 界面層ではなく，amorphous-CoFeB 界面層を用いた CoFeB/L1₀-FePd 積層記憶層を用いることに決定した．

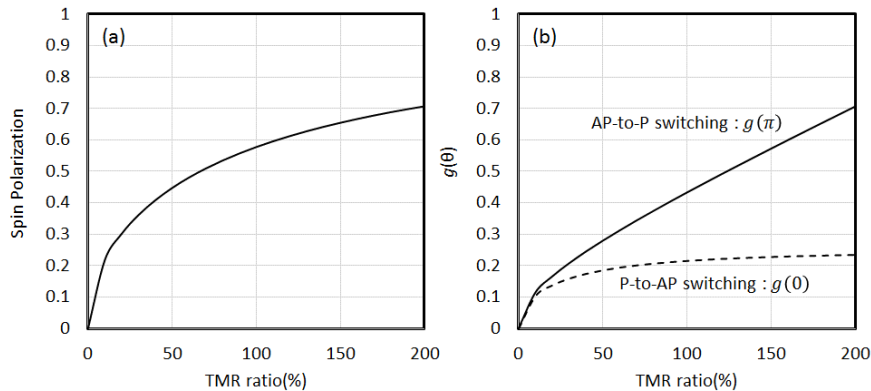


Fig.4-1 (a)スピン分極率 P と(b) STT 効率 $g(\theta)$ の TMR 依存性.

4.2.3 Bottom 記憶層 MTJ 構造

Fig.4-2 に Bottom 記憶層 MTJ と Top 記憶層 MTJ の模式図を示した. 本検証では Bottom 記憶層を採用するが, Bottom 記憶層 MTJ を選択した視点は大きくは2つある. 一つは L1₀-FePd 膜の成膜プロセス的視点であり, もう一つはデバイス回路設計的視点である. 以下でこの2つの視点について説明する.

まず, L1₀-FePd 膜の膜形成過程を考える. Fig.4-3 に(a)Bottom 記憶層 MTJ と(b)Top 記憶層 MTJ の場合にそれぞれ L1₀-FePd(001)から見た場合の格子ミスフィットを模式的に示した. Top 記憶層型 MTJ の場合, L1₀-FePd(001)記憶層を MgO(001)バリア層上に直接形成しなければならない. MgO バリア層は(001)配向した NaCl 構造であり, 格子定数が $a = 0.421 \text{ nm}$ である. L1₀-FePd は $a = 0.386 \text{ nm}$ [125]の fct 構造であり, L1₀-FePd(001)と MgO(001)との格子ミスマッチは 9.1 %となる (Fig.4-3(a)). 従って, MgO(001)バリア層上に L1₀-FePd(001)をエピタキシャルな関係で形成するためには, L1₀-FePd 膜は 9.1 %の格子歪を抱えながら成長することになる. これまでの L1₀ 系規則合金の MgO 上の薄膜成長に関する報告[126]から, MgO 上の L1₀-FePd が下地 MgO にエピタキシャルな関係で成長し, 高(001)配向で均一かつ連続な薄膜になることは困難であることは容易に推測できた. また, 大きな格子歪を抱えた L1₀-FePd 膜では, 規則度の低下による磁気異方性分散の増大, (001)配向性劣化による結晶磁気異方性軸分散などが懸念され, それらに起因したダンピングの劣化も予測された. 一般的にダンピングは, 膜のラフネス, 磁気異方性分散, 磁気異方性軸分散 (結晶配向性分散) などの様々な外因的要素で増大することが知られている. 従って, STT 磁化反転の低電流化のためには, Top 記憶層 MTJ は適していないと考えた.

一方, Bottom 記憶層 MTJ の場合, 下地層選択の制約はなくなる. L1₀-FePd との格子マッチングを考慮して下地層材料を選択することができ, 下地層からの配向性や結晶粒径を制御することで, 高(001)配向な欠陥の少ない良好な結晶性を有する L1₀-FePd を形成することが可能である. 例えば, 下地層に(001)配向し結晶粒径が均一に形成された Pd を使った場合, Pd の格子定数は $a = 0.389 \text{ nm}$ である. L1₀-FePd の格子定数は $a = 0.386 \text{ nm}$ であるため, 格子ミスマッチは 0.8 %となり, MgO(001)上に形成した L1₀-FePd(001)と比較して非常に小さな格子歪となることが分かる (Fig.4-3(b)). 従って, Pd(001)下地層上に L1₀-FePd(001)を形成することで, 高(001)配向で格子歪の少ない高結晶性な L1₀-FePd(001)が得られ, 結果的には低ダンピングも実現できると予想した.

次に, 選択トランジスタと MTJ との接続を回路設計の観点から考える. MOS-FET1 個と MTJ1 個からなる 1Tr-1MTJ セル構成が STT-MRAM の基本構成となる. 第1章の 1.6.4 項で説明したように STT-MRAM の場合, STT 磁化反転電流がトランジスタ電流より十分に小さくなる必要があり, MOS-FET 特性を最大限に引き出す回路設計が必要となる. そのためには回路設計およびデバイス設計を最適化する必要がある. ここで注目

すべき点は MTJ 素子の書き込み電流の非対称性である。STT 磁化反転では双方向電流で AP-to-P と P-to-AP の書き込みが行なわれる。AP-to-P 磁化反転では記憶層から参照層に電流が流され、P-to-AP 磁化反転時はその逆となる。それぞれの STT 磁化反転電流 $I_c^{AP-to-P}$ と $I_c^{P-to-AP}$ は、式(1-11)で与えられる STT 効率の非対称性から、 $I_c^{AP-to-P} < I_c^{P-to-AP}$ となる。従って、P-to-AP 書き込み時に MOS-FET 電流が多く流れるデバイス回路設計が必要である。

MOS-FET は、ドーピング元素により P 型 MOS と N 型 MOS がある。ドーピング元素によるキャリア制御により MOS-FET への電圧印加と電流極性の関係はそれぞれで逆転することができる。しかしながら、キャリア種により MOS-FET での駆動電流量は律即される。現在の MOS-FET は移動度の大きい電子をキャリアとする NMOS が主流である。近年、ホールの移動度改善が進み PMOS の特性も改善はされているが、電流駆動力は未だ NMOS が勝っている。したがって、トランジスタの駆動電流の観点から、NMOS-FET が高密度 STT-MRAM のためには有利であると言える。

実際の MTJ と NMOS-FET の回路接続を考える。Fig.4-4 は Bottom 記憶層 MTJ と NMOS-FET の電氣的接続と電流の関係を示した模式図である。STT 書き込み時に必要な電流から考えると、P-to-AP 磁化反転時に MTJ がドレイン側（昇電圧側）となることが好ましい。ドレイン側の電流方向を考えると、Bottom 記憶層 MTJ 構造が最も P-to-AP で書き込み電流が得られることになる。従って、現在主流の NMOS を使った Gbit 級高密度 STT-MRAM を設計する場合には、Bottom 記憶層 MTJ が最適となる。一方、NMOS の代わりに極性が反対となる PMOS を使用することも原理的には可能である。その場合は Top 記憶層 MTJ が最適となる。Top 記憶層 MTJ と PMOS トランジスタの組み合わせによる効果については、Koike らによっても議論されている[127]。しかし、8F²セルを狙う超高密度 MTJ セルの場合には、根本的な MOS トランジスタ駆動電流の大きさが課題となる。従って、高密度 STT-MRAM 実現を考えた場合は、駆動電流の大きい NMOS-FET と Bottom 記憶層 MTJ の組み合わせが最適であると考えられる。

以下で、Bottom 記憶層 MTJ 設計を用いた場合の別の利点について、補足的に説明したい。ここで、MTJ 加工プロセスの視点から MTJ 構成を考える。現在の MTJ 加工手法は物理エッチングを主に利用している。物理エッチングを利用する限りにおいては、MTJ 側壁への再付着物の抑制が問題となり、その結果 MTJ セルの電氣的ショート不良率を下げるのが最大の課題となる。電氣的ショート不良の原因は、主要因は MgO バリア層端部への金属再付着層であるが、物理エッチングを用いる限りはある確率で MgO バリア層よりも下部の層が物理的スパッタにより MgO 端部へ再付着する。STT-MRAM に用いられる面内磁化および垂直磁化 MTJ では、参照層に必ず Co,Fe,Pt,Pd,Ru から構成される材料が用いられる。上述したように MgO バリア層より下部の層の金属材料の再付着が電氣的ショートの要因であるため、MgO バリア層の下部に参照層が形成される Top 記憶層型 MTJ では、圧倒的に電氣的ショートの確率は上昇する。一方、

Top 記憶層型 MTJ を採用し、第2章でも用いた「ステップ MTJ 形状」を適用することもできる。しかし、参照層のテラス部の存在により高密度化は制限される。従って、物理エッチングを用いた MTJ 加工プロセスを考えた場合、MgO 下部層が薄く物理的な再付着層の低減が容易である Bottom 記憶層型 MTJ が電氣的ショートの問題からは有利であると考えられる。将来、磁性体へのダメージがない遷移金属および貴金属 RIE 技術が確立されれば、この電氣的ショートの問題は解決される。これまでの研究では、参照層の磁化固着力強化が優先のため、Top 記憶層型 MTJ の開発が先行してきた。しかし、上述したように MTJ 加工のためには十分に広いピッチが必要であった。

近年、Bottom 記憶層 MTJ と Top 記憶層 MTJ の比較検討が行われ始めている[128][129]。これらの報告は、今後の大容量・高密度な垂直磁化 STT-MRAM を踏まえてのものであると考えられる。成膜技術や加工技術のようなエンジニアリングに関する要素技術は日々改善されているため、STT-MRAM デバイスとして目指すものに応じた MTJ 構造が選択されることが考えられる。従って、Gbits 級の高密度 STT-MRAM を目指す場合は、Bottom 記憶層 MTJ が優位であると考えられる。

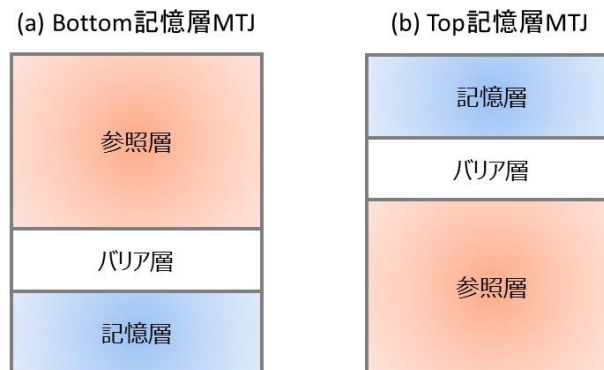


Fig.4-2 MTJ 構造の模式図. (a) Bottom 記憶層 MTJ, (b) Top 記憶層 MTJ.

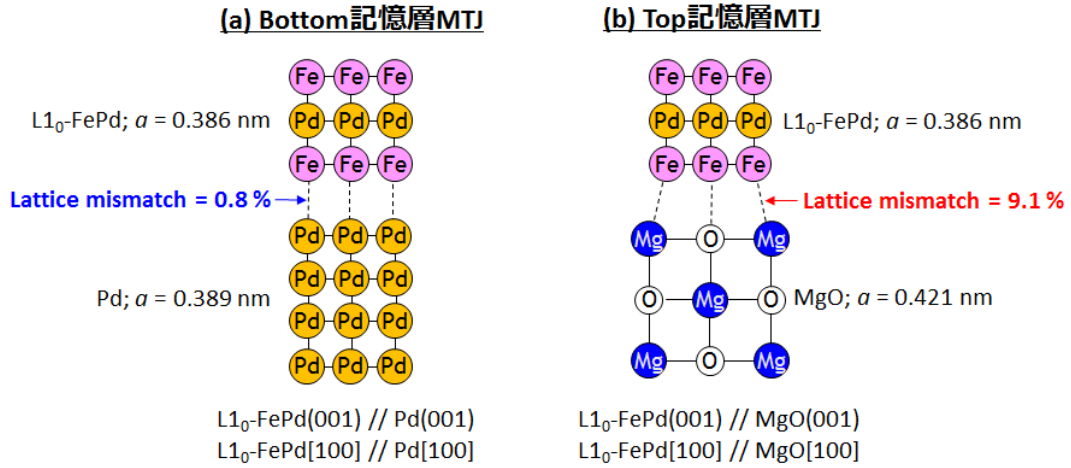


Fig.4-3 L1₀-FePd 記憶層から見た格子ミスフィットの模式図. (a) Bottom 記憶層の場合；Pd(001)下地層上に L1₀-FePd(001)を形成, (b) Top 記憶層の場合；MgO(001)バリア層上に L1₀-FePd(001)を形成.

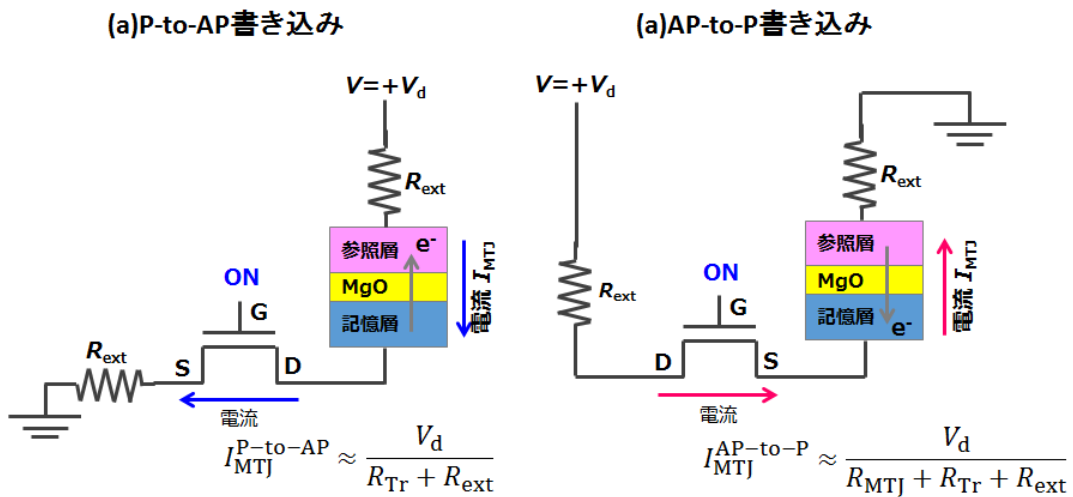


Fig.4-4 STT-MRAM の NMOS-FET と Bottom 記憶層 MTJ 構造との接続と電流方向の関係を示した模式図. (a) P-to-AP 書き込み時, (b) AP-to-P 書き込み時.

4.3 実験方法

L1₀-FePd を用いた垂直磁化 MgO-MTJ の形成方法について説明する．L1₀-FePd-MTJ は、超高真空 DC/RF マグネトロンスパッタ法により成膜された．成膜チャンバーの背圧は 1×10^{-9} Torr 以下である．Fig.4-5 (a) に本検証で用いた CoFeB/L1₀-FePd 記憶層を用いた MTJ 膜構造の模式図を示した．Cap 層/TbCoFe 30 nm/CoFeB 1.0 nm/ MgO 1.0 nm/Mg 0.4 nm/CoFeB 0.5 nm/L1₀-FePd 1.5 nm/Pd 3 nm/(001)多結晶下地層から構成される．基板は熱酸化 Si(001)基板を用いた．多結晶かつ(001)配向した下地層を熱酸化 Si 基板上にまず形成し、その上にバッファ層として(001)配向した Pd(001) 3.0 nm を 350 °C 基板加熱成膜で形成した．その後、基板を 350 °C 基板加熱成膜で L1₀-FePd 記憶層を形成した．L1₀-FePd 膜は Fe と Pd の同時スパッタ法により形成された．その後、基板冷却を行い、室温成膜で amorphous-CoFeB 界面層を形成し、続けて MgO バリア層を形成した．この時、MgO と CoFeB の間には界面酸化制御のために Mg を挿入した．次に、参照層となる TbCoFe 膜と CoFeB 膜を室温で形成した．本検証では、 $\text{net-}M_s$ が小さいので漏洩磁界が小さく抑制でき、かつ、比較的簡易な成膜プロセスで垂直磁化が得られる TbCoFe 膜を参照層に用いた．その後、キャップ層を成膜した．上記の成膜終了後、400 °C 真空中アニールを施すことにより amorphous-CoFeB 界面層の結晶化を促進した．

Fig.4-5(b)と(c)に本検証で用いた MTJ 素子の断面図と上面図をそれぞれ示した．Fig.4-5(b)に示したように MTJ 素子は、上部電極と下部引出し電極の間に配置される．MTJ は直径 50 nm のドット (円形状) になるようにリソグラフィーでパターニングを行った．最終的な MTJ サイズは平均サイズが直径 55 nm であった．MTJ 素子のエッチング加工には IBE (Ion Beam Etching) 法を用いた．MTJ 素子エッチング加工では参照層から記憶層まで一括で加工する一括 IBE 加工プロセスを適用した．IBE 条件となるイオンビーム加速電圧およびイオンビーム入射角度は最適化した．IBE による MTJ 加工後、真空一貫で保護膜を形成した．上部電極と MTJ の接続には Via による接続ではなく、CMP により MTJ トップ層を露出させ上部電極と接続する方法を適用した．

L1₀-FePd 膜および CoFeB/L1₀-FePd 記憶層の磁気特性は振動試料型磁力計 (Vibrating Sampling Magnetometer : VSM) により評価した．ダンピング定数の測定は、強磁性共鳴 (Ferro Magnetic Resonance : FMR) 法 を用いた．FMR の角度依存性を測定し、それぞれの FMR 線幅 ΔH_{pp} からダンピング定数を解析的に求めた．

L1₀-FePd を用いた MgO-MTJ 膜の結晶構造解析では断面構造形態を高分解能電子顕微鏡観察 (High-resolution transmission electron microscopy : HR-TEM) により評価した．また、MTJ 素子の断面観察は通常の断面 TEM 観察で行なった．

MTJ 素子での R - H 曲線および R - I 曲線の評価は、磁場印加しながら 4 端子法により室温で行った． R - H 曲線評価では測定標準電圧は 100 mV とし、 R - H 曲線の磁界掃引時間は 2.0 sec で評価を行なった． R - I 曲線評価では、5 msec の電流パルス印加して測定

した. R - H 曲線および R - I 曲線評価時の電流通電方向は, 記憶層から参照層への電流方向を正方向とした.

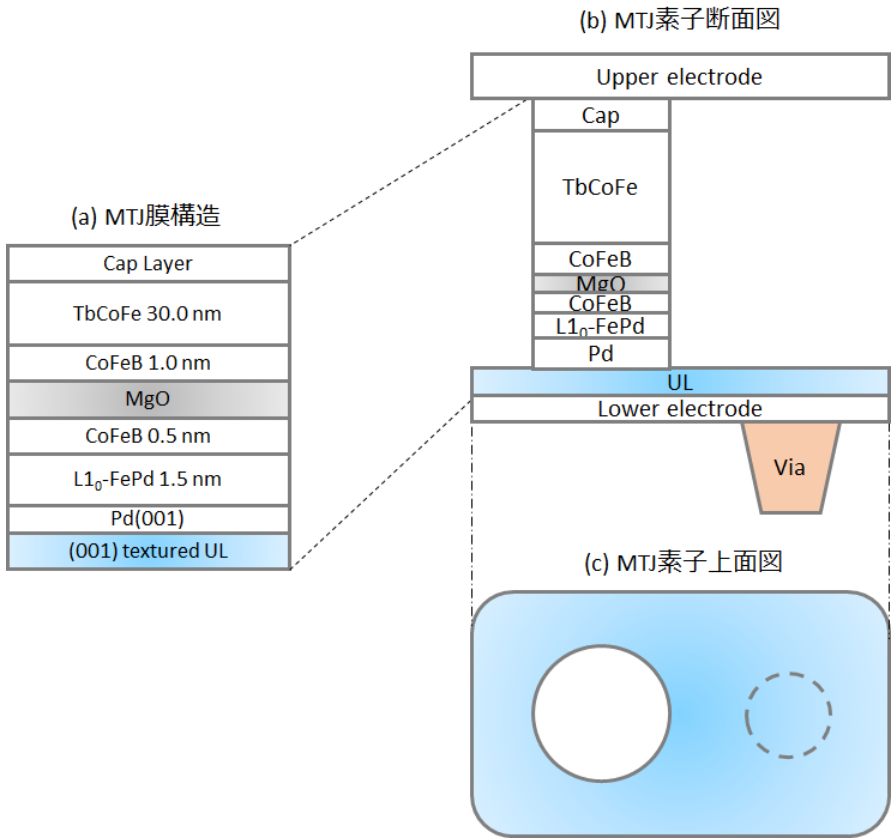


Fig.4-5 CoFeB/ $L1_0$ -FePd 記憶層を用いた垂直磁化 MTJ の模式図. (a) MTJ 積層構造, (b) MTJ 素子断面図, (c) MTJ 素子上面図.

4.4 結果と考察

4.4.1 垂直磁化 L1₀-FePd 膜の低ダンピングの観測

4.2 節で掲げた垂直磁化 L1₀-FePd 膜の低ダンピングコンセプトを検証するために、L1₀-FePd 規則合金膜の形成とダンピング測定を試みた。L1₀-FePd(001)膜は、4.3 節で述べた DC/RF マグネトロンスパッタ法により熱酸化 Si 基板上に形成した。ダンピング測定のために作製した積層膜構成は、MgO(001) 1.0 nm/L1₀-FePd(001) 2.0 nm/MgO(001) 5.0 nm//ThOx-Si sub.である。熱酸化 Si 基板上に MgO(001)膜を成膜し、その上に FePd(001)膜を室温で成膜し、最後に MgO をキャップ層として成膜した。成膜後、400 °C 真空中での規則化アニールを施し、L1₀-FePd 膜を得た。X 回折法による結晶配向性評価結果からは、(001)配向性が得られていた。また、X 回折像の解析から、長距離規則度は 0.79 であった[135]。上記のようにして得られた L1₀-FePd 膜について、VSM 法による磁気特性評価と FMR 法によるダンピング測定を行なった。VSM 測定では、膜面に垂直に磁界を印加した。FMR 法によるダンピング測定では磁場印加方向の角度依存性を評価したが、膜面に垂直な方向を $\theta_H = 0 \text{ deg}$ と定義した。本 FMR 法の測定では、Q-band 帯(~9GHz)の μ 波を使用した。

Fig.4-6(a)に VSM 測定で得られた M - H 曲線を示した。 M - H 曲線解析から、 $H_c = 100 \text{ Oe}$, $M_s = 1086 \text{ emu/cc}$ であり、角型比 $S(S = M_r/M_s)$ は $S \sim 0.69$ であった。 M - H 曲線形状から、今回作成した L1₀-FePd 膜は K_u が小さく、[001]結晶異方性軸分散も大きいことが推測される。これは、上述したように L1₀-FePd 膜の長距離規則度が不十分なためであると推察される。

次に、Fig.4-6(b)に FMR 法でのダンピングの評価結果を示した。FMR 法による磁場角度 θ_H 依存性測定から、 $\theta_H = 50 \text{ deg}$ の時に最小値となるダンピング $\alpha \sim 0.015$ を観測した。この数値は、Seki らが報告している L1₀-FePt のダンピング $\alpha = 0.05 \sim 0.1$ よりもかなり小さな数値となっている。この結果により、L1₀-FePd は $K_u \geq 1 \times 10^7 \text{ erg/cm}^3$ の高い一軸磁気異方性を有し、かつ、低ダンピングとなり得ることが実証された。さらに詳細に、今回得られたダンピングの角度依存性結果を考察する。上述したように Fig.4-6 に示されたダンピングの角度依存性の評価結果から、今回の L1₀-FePd 膜の最小ダンピングは $\theta_H = 50 \text{ deg}$ で得られていた。一般的に、ダンピングは材料固有のダンピングと外因的なダンピングの和として表される。外因的な要素としては、結晶磁気異方性分散、結晶軸分散（配向性分散）、結晶粒間でのスピン波散乱（2 マグノン散乱）が挙げられる。ダンピングの角度依存性評価法では、外因的な要素が無い場合、結晶磁気異方性軸と外部磁界印加方向が一致した場合に最小ダンピングが得られる。すなわち、理想的な L1₀-FePd(001)膜が形成された場合、L1₀-FePd(001)膜は膜面に垂直な[001]方向への一軸磁気

異方性を有するため、磁化の歳差運動を考えると $\theta_H = 0 \text{ deg}$ でダンピングが最小になる。従って、最小ダンピングが得られた角度のずれは外因的な要素の影響ということになる。Fig.4-6(b)に示した FMR 法によるダンピング測定結果は、今回作製した L1₀-FePd(001)膜の磁気異方性分散が大きいことを示唆しており、Fig4-6(a)の $M-H$ 曲線解析結果および X 線回折結果から得られた長距離規則度結果と一致する結果となっている。逆説的に言うと、本結果は L1₀-FePd(001)膜はまだまだ改善の余地があることを示唆している。

本項の実験検証では L1₀-FePd 膜の低ダンピングコンセプト実証が目的であったため、FMR 測定の容易性および L1₀-FePd 膜の上下界面でのスピンプンピングの影響を排除する必要があった。そのため、熱酸化 Si 基板上へ直接成膜された厚い MgO(001)下地膜の上に L1₀-FePd 膜は形成され、さらに MgO(001)膜でキャッピングした後、FMR 法でダンピング特性を測定した。既存材料による簡便な実験ではあったが、結果として垂直磁化を有する L1₀-FePd 膜が得られ、かつ、低ダンピングであるということが実証できた。

この後に述べる本章での検証内容は、本項で得られた L1₀-FePd 膜が、高 K_u かつ低ダンピングのポテンシャルを有しているという上記の実験結果を基にコンセプト構築され実証されることになる。

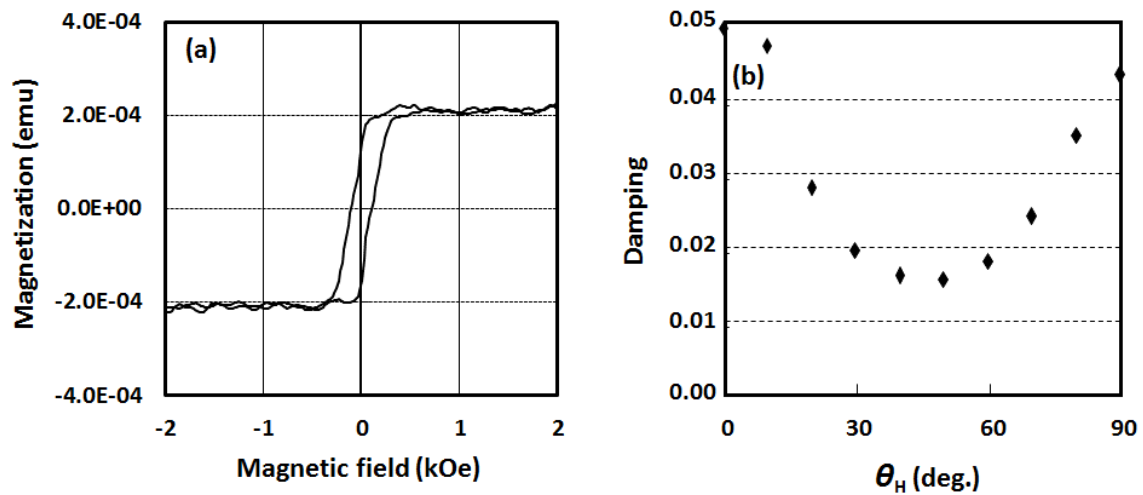


Fig.4-6 MgO/L1₀-FePd/MgO 膜の(a) $M-H$ 曲線と(b) FMR 法による角度依存性ダンピング測定結果[137].

4.4.2 CoFeB/L1₀-FePd 膜の磁気特性

4.4.1 項で述べた L1₀-FePd が高 K_u で低ダンピングであるという結果を基に、本検証の記憶層コンセプトである Bottom 型の CoFeB/L1₀-FePd 記憶層に相当する膜を 4.3 節で述べた DC/RF マグネトロンスパッタ法で作成し、VSM 法により磁気特性を評価した。膜構成は、Cap/MgO 1.0 nm/CoFeB 0.5 nm/L1₀-FePd 1.5 nm/Pd 3.0 nm/under layer//sub.である。Fig.4-7 に今回作製した Bottom 記憶層相当の膜構成の模式図と VSM 測定で得られた M - H 曲線を示した。膜面に垂直となる方向に磁界を印加した M - H 曲線である。作製した CoFeB/L1₀-FePd 記憶層は良好な垂直磁化特性を示しており、保磁力 $H_c = 620$ Oe, 飽和磁化 $M_s = 1058$ emu/cm³であった。角型比 $S = M_r/M_s$ は $S \sim 1$ (残留磁化: M_r , 飽和磁化: M_s) であった。また、反転核生成磁界 H_n と飽和磁界 M_s はそれぞれ $H_n \sim 540$ Oe, $M_s \sim 880$ Oeであり、一軸結晶磁気異方性分散が小さく、均一な膜が形成されていることが示唆された。Bottom 記憶層化により、高(001)配向で、L1₀-FePd(001)と格子ミスフィットの小さい Pd(001)下地層を用いたことで、結晶性および規則度が改善したと考えられる。

今回作製した Bottom 記憶層 CoFeB/L1₀-FePd 膜のダンピング α は、 $\alpha = 0.018$ であった [130][131]。詳細な評価手法については、Mizukami らが時間分解磁気光学カー効果法を用いてダンピング測定手法を報告している [130][131]。今回得られたダンピング α は、保磁力 H_c から見た場合高 K_u が想定されるにも関わらず、前述の MgO 1.0 nm/L1₀-FePd 2.0 nm/MgO 5.0 nm//ThOx-Si sub.試料のダンピングと同等程度となっている。本試料では、高(001)配向な多結晶下地層上に Pd(001) 3.0 nm 下地層が形成されているため、当初は重金属に接することによるスピンプンピング効果起因でダンピング α の増大が懸念された。しかしながら、Bottom 記憶層構造を選択したことで、格子定数が $a = 0.389$ nmである Pd(001)下地層上に L1₀-FePd(001)層を形成することが可能となった。これにより、L1₀-FePd(001)/Pd(001)界面での格子ミスフィットは 0.8 %と小さく抑制され、高(001)配向で格子歪の小さい L1₀-FePd(001)層が形成できたと考えられる。その結果、L1₀-FePd 記憶層の(001)異方性軸分散が改善することで一軸磁気異方性分散が改善し、さらに規則度ばらつきが低減し均一膜が形成され、ダンピング α も低く抑えられたと考えられる。CoFeB/L1₀-FePd 記憶層の結晶性の解析結果については、次項で詳細に述べる。Bottom 記憶層コンセプトは、L1₀-FePd の高 K_u 、低ダンピングな磁気特性をさらに改善したと考えられる。

今後、さらにダンピング α を低減していくためには、上述したように Pd(001)下地膜起因のスピンプンピングを抑制する必要がある。スピンプンピング効果を抑制し、かつ、L1₀-FePd(001)の結晶性および規則度を維持できる下地層としては、MgO などと同様な正方晶系あるいは立方晶系の酸化物が上げられる。中でも SrTiO₃酸化物は、 a 軸の格子定数が $a = 0.391$ nm と L1₀-FePd と近く、酸化物下地層としては有望である。本検証の

後, Iihama らによりの SrTiO 基板上の L1₀-FePd エピタキシャル膜のダンピング α 結果が報告されている[132]. Iihama らの報告に結果によると, $\alpha \sim 0.007$ が報告されており, 本検証で得られた $\alpha \sim 0.015$ よりもさらに小さな数値となっている. この結果は, 適切な下地層の選択および成膜方法の更なる工夫により, L1₀-FePd 膜は更なるにダンピング低減の余地があることを示唆している.

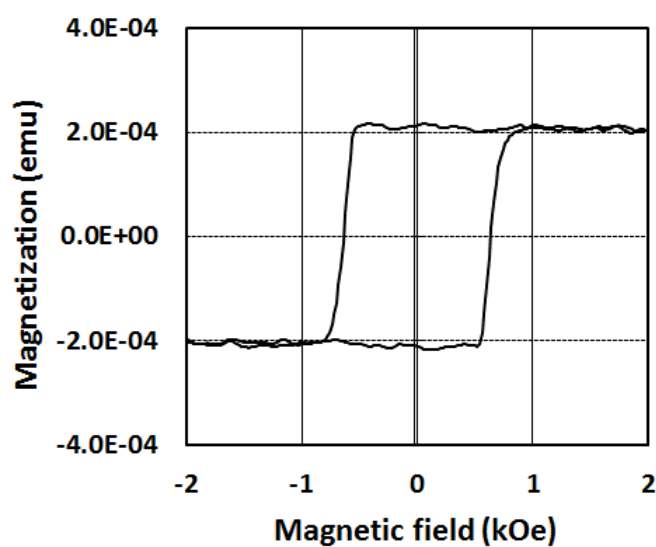


Fig.4-7 CoFeB/L1₀-FePd 記憶層の M - H 曲線.

4.4.3 MTJ 膜結晶構造と MTJ 素子断面構造

今回作製した MTJ 素子の断面 TEM 像を Fig.4-8 に示した．MTJ 素子評価から，平均 MTJ 素子抵抗に近い抵抗を有する MTJ 素子をピックアップして TEM 観察を行なった．断面 TEM 像から，Bottom 記憶層 MTJ 構造であることが分かる．MTJ 膜構造として，アモルファス TbCoFe 30.0 nm 参照層，CoFeB 1.0 nm 界面参照層，MgO バリア層，CoFeB 0.5 nm/L1₀-FePd 1.5 nm 記憶層，Pd(001) 3.0 nm の積層構造が観察できた．MTJ 素子は下部電極（Bottom Electrode : BE）上に形成され，上部電極（Top electrode : TE）とは Via を介さず直接コンタクトしている．上部電極コンタクトは，CMP プロセスにより制御性良く形成されている．MgO バリア層の物理幅で規定される MTJ 素子サイズ D は $D \sim 55$ nm であり，ほぼ素子設計どおりに加工形成できた．MTJ 加工は Pd(001) の下部に形成される(001)配向した多結晶下地層付近で止まっている．MgO バリア層よりも下部層の端部は，傾斜したテーパ形状となっており，テーパ角度は約 45 度である．これは MTJ 素子のショートを防止するために意図的にこの形状を狙って加工されている．MgO バリア層端部には再付着層は見られず，MTJ 素子特性として電氣的にショートは無いことが予測される．

次に詳細に MgO(001)バリア層と CoFeB/L1₀-FePd 記憶層の結晶構造を調べた．Fig.4-8 に今回作製した L1₀-FePd を用いた MTJ 膜の断面 HR-TEM 像と CoFeB/L1₀-FePd 記憶層の HR-TEM 格子像をフーリエ変換（Fast Fourier Transform : FFT）して得られた電子回折像（Electron Diffraction pattern : ED pattern）を示した．断面 HR-TEM 像から，L1₀-FePd 記憶層は Pd(001)下地層上にエピタキシャルに成長した多結晶膜であり，観察視野内全域で(001)配向性を示唆する膜面に平行な格子像が観察された．CoFeB 界面層についても，MTJ 成膜後のアニールにより結晶化して(001)配向していることを示唆する格子像が観察された．CoFeB 界面層と L1₀-FePd 記憶層の界面は HR-TEM 像からは明瞭ではないことから，CoFeB 界面層と L1₀-FePd 記憶層の界面は整合しておりエピタキシャルな関係であることが予測される．また，Pd(001)下地層上に形成された CoFeB/L1₀-FePd 記憶層上は非常に平滑である．その上に形成された MgO バリア層も平滑に連続膜として成長していることが分かった．MgO の格子像から，MgO は(001)配向していることが予測される．CoFeB/L1₀-FePd 記憶層の配向性および規則化を調べるために行なった HR-TEM 格子像の FFT 解析結果から，L1₀-FePd 規則相に起因する規則相反射(001)スポットが観察された．この結果は，FePd 層は L1₀ 規則相を含んでおり，(001)配向していることを示唆している．FFT により得られた ED pattern 解析結果から，L1₀-FePd の c 軸方向の格子定数 c は $c = 0.39$ nm であった．L1₀-FePd のバルクの格子定数は $a = 0.386$ nm, $c/a = 0.963[125]$ の fct 構造であることから，今回の L1₀-FePd 記憶層はほぼバルクの L1₀-FePd に近い構造であることが示唆される．今回の FFT 解析では格子定数の評価精度が

低いこと、および、 a 軸方向の格子定数が明らかとはならなかったため、結晶構造は fct 構造ではないかという推測に留まる結果となった。

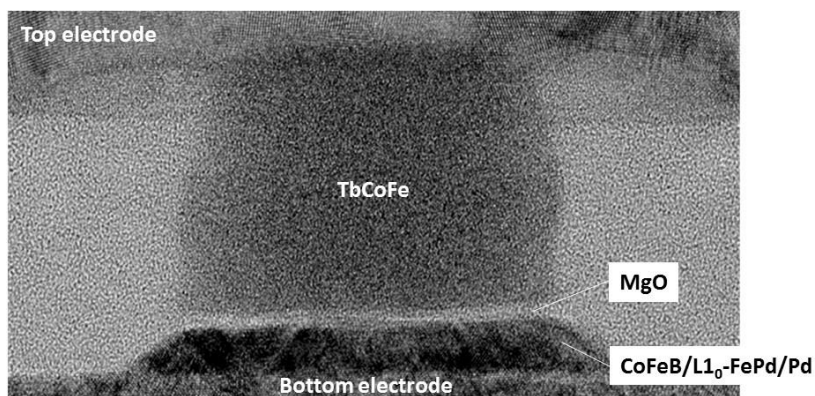


Fig.4-8 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の断面 TEM 像.

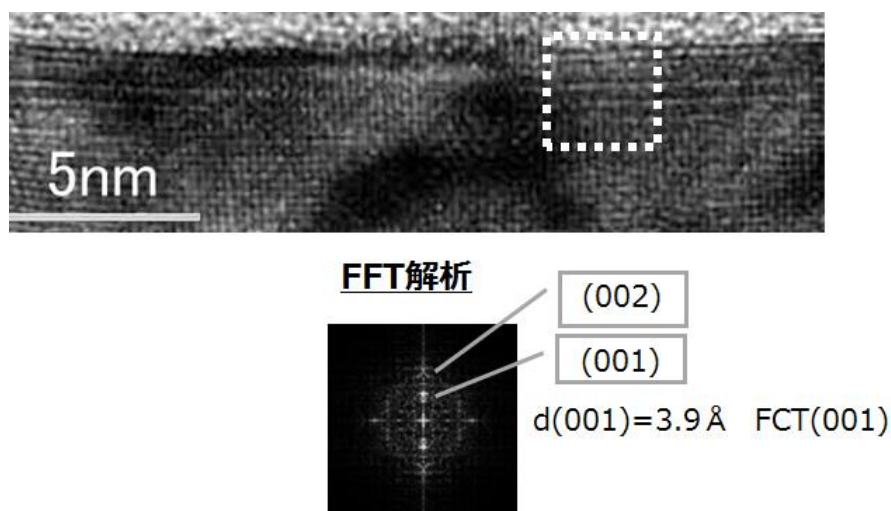


Fig.4-9 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 膜の断面 TEM 像と FFT により得られた電子回折像.

4.4.4 STT 磁化反転特性

Fig.4-10 に CoFeB/L1₀-FePd 記憶層を用いた MgO(001)バリア層を有する垂直磁化 MTJ 素子の R - H 曲線を示した. Fig.4-10(a)は参照層の磁化反転まで観測できるように ± 10 kOe まで磁界掃印した Major R - H 曲線, Fig.4-10(b)は記憶層のみを磁化反転させた Minor R - H 曲線である. Fig.4-10(a)中には Minor R - H 曲線も示されている. Fig.4-10 に示された Major および Minor R - H 曲線から, CoFeB/L1₀-FePd 記憶層および TbCoFe/CoFeB 参照層は良好な垂直磁化特性を示している. ただし, Fig.4-10(a)の Major R - H 曲線から, TbCoFe/CoFeB 参照層は反転直前の高磁界で CoFeB 界面層の磁化の曲がりが見られている. 全体としては, 記憶層と参照層の磁化反転が分離されており, 明瞭な保磁力差型の R - H 曲線が得られた. MTJ 磁気特性としては, $\text{TMR} = 26\%$, $H_c = 207$ Oe であった. また, 記憶層の保磁力 H_c の磁界掃印速度依存性を評価し, Sharrrock の式[133]から求めた記憶層の熱安定性エネルギー ΔE は, $\Delta E \sim 32$ であった. この時の R - H 曲線測定時の MTJ 印加電圧は -100 mV に設定した. 今回得られた ΔE は目標とする $\Delta E \sim 60$ よりはかなり小さく, 記憶層の保磁力 H_c を反映していると考えられる. また, 今回は CoFeB 界面層を適用したにも関わらず, TMR は $\text{TMR} = 26\%$ と低い数値に留まった. この理由は, 今回の CoFeB/L1₀-FePd 記憶層を用いた MgO-MTJ 素子では CoFeB 層の厚さが 0.5 nm と薄く, CoFeB 界面層挿入効果が十分得られなかったということが考えられる. 4.4.3 項で示した Fig.4-9 の断面 HR-TEM 像からは, CoFeB 界面層が結晶化しているように見えた. しかしながら, CoFeB 界面層の膜厚が十分ではないため, 格子定数 $a = 0.421$ nmを有する MgO(001)と格子定数 $a = 0.386$ nmを有する L1₀-FePd(001)の界面ミスフィット (8.3%) が十分緩和されていない可能性がある. 従って, 高 TMR 化を目指すためには CoFeB 界面層の更なる厚膜化することが必要であり, さらに CoFeB/L1₀-FePd 記憶層の垂直磁化を維持するため L1₀-FePd 層の垂直磁気特性の向上が必要である. 下地層の改善により L1₀-FePd 層の垂直磁気特性改善は可能であると考えられるため, 未だ TMR 増大余地は残っている. また, MTJ 素子形成後の CoFeB/L1₀-FePd 記憶層の保磁力 H_c が CoFeB/L1₀-FePd 膜の保磁力 H_c よりも低下している. これについては次の 2 つの理由が考えられる. まず, MTJ 膜状態での VSM 評価では膜全体の平均特性を評価することになるが, MTJ 素子では MTJ 膜の素子化された局所的な特性を反映するため, L1₀-FePd 層の規則化ばらつきなどを反映している可能性がある. これは 4.4.6 項で後述するが, CoFeB/L1₀-FePd 記憶層のそれぞれのビットの熱安定性エネルギー ΔE ばらつきが大きいことから推察される. 次に, 本検証では MTJ 素子加工は参照層から記憶層までを切りきる一括加工を行なっている. 今回の場合, 4.4.2 項で述べたように, MTJ 素子のショート不良を低減するために, Fig.4-8 に示したように MgO バリア層と記憶層端部はテーパ形状となっている. テーパー部は IBE-MTJ 加工による物理的ダメージが残留する可能性が高く, 記憶層端部では規則度の低下により記憶層の H_c が劣化する可能性がある

る．従って，MTJ 加工の観点から，MTJ 素子の記憶層特性のばらつき，特に保磁力 H_c および熱安定性エネルギー ΔE のばらつきを抑制し，記憶層特性を最大化するためには，テーパレスな MTJ 端部形状の制御が必要である．と同時に，電氣的ショートを防ぐための MTJ 加工技術の開発，特に後処理技術の開発が必要である．

次に，上述してきた CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ 素子の STT 磁化反転測定を行なった．Fig.4-11 に STT 磁化反転曲線である R - I 曲線を示した．STT 磁化反転測定は，5 msec パルスによる Remanence 測定と電流印加しながら 5 msec 毎に測定する Sweep 測定の 2 種類の方法で行なった．Fig.4-11 に示した R - I 曲線は，Sweep 測定(a)と Remanence 測定(b)で抵抗の挙動が異なっている．しかしながら，STT 磁化反転電流 I_c は Remanence 測定と Sweep 測定で同等であった．このことから，5 msec パルスによる R - I 曲線の評価では，発熱の影響は飽和していると推測される．CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ 素子の STT 磁化反転電流を求めた結果， $I_c^{\text{AP-to-P}} = 9.3 \mu\text{A}$ ， $I_c^{\text{P-to-AP}} = 11.2 \mu\text{A}$ であった．今回作製した MTJ 素子の平均サイズ D が $D \sim 55 \text{ nm}$ であったことから STT 磁化反転電流を STT 磁化反転電流密度に換算すると， $J_c^{\text{AP-to-P}} = 3.9 \times 10^5 \text{ A/cm}^2$ ， $J_c^{\text{P-to-AP}} = 4.7 \times 10^5 \text{ A/cm}^2$ となり， $J_c < 1 \times 10^6 \text{ A/cm}^2$ を下回った．この結果は，これまで報告された垂直磁化 MTJ を用いた STT 磁化反転では最小電流・最小電流密度での STT 磁化反転である．また，世界で初めて $J_c < 1 \times 10^6 \text{ A/cm}^2$ を示した結果である．

次に，上述した STT 磁化反転電流について，低電流化が初期のコンセプトに従い，低ダンピング化と TMR 効果で説明できるかを考察した．比較対象として，Nakayama ら [134]により報告されている L1₀-FePd 磁性電極を用いた MTJ の STT 磁化反転との比較検証を試みた．Nakayama らが報告している L1₀-FePd-MTJ は，L1₀-FePd のみからなる記憶層を有する Top 記憶層型の MTJ である．MTJ の磁気特性は，TMR = 10 %，ダンピング $\alpha = 0.026$ ，記憶層の熱安定性エネルギーは $\Delta E = 57 k_B T$ と報告されている．STT 磁化反転の測定は 5 msec パルス電流で行なっており，本検証と同じである．本検証のコンセプトを基に作製された CoFeB/L1₀-FePd 記憶層を有する MgO-MTJ の磁気特性は，TMR = 26 %，ダンピングは $\alpha = 0.018$ [130][131]， $\Delta E = 32 k_B T$ であった．上記の 2 種類の MTJ における実験データを基に以下で説明する解析計算を行なった．まず，TMR 比から式(1-10)と式(1-11)を使って $g(\theta)$ を算出した．次に，ダンピング α ，記憶層の熱安定性エネルギー ΔE ，算出した $g(\theta)$ の I_{c0} への寄与を計算した．さらに，熱活性磁化反転状態における ΔE の影響も評価した．これらの解析値を基に，AP-to-P と P-to-AP の STT 磁化反転の I_c 低減比率 $I_c^{\text{CoFeB/FePd}}/I_c^{\text{FePd}}$ を計算し，L1₀-FePd 記憶層 MTJ と CoFeB/L1₀-FePd 記憶層 MTJ を比較した．実験データから得られる I_c 低減比率と上記の理論解析評価から得られた比率の比較を行なった．本解析で得られた結果を Table 4-2 に示した．実験データから得られた I_c 低減比率は AP-to-P，P-to-AP のそれぞれで 0.23，0.12 であり，TMR， α ， ΔE を使って解析的に得た I_c 低減比率はそれぞれ 0.19，0.16 であった．それぞ

れの I_c 低減比率はほぼ近い値を示していることが分かる．この解析結果から CoFeB/L1₀-FePd 記憶層を用いた MTJ の低電流 STT 磁化反転は，TMR， α ， Δ から説明できることが明確となった．

上述した結果から，本検証で観測された垂直磁化方式の STT 磁化転では，第1章の1.6節で述べた STT 磁化反転の原理・理論に従い，ダンピング α の低減と TMR 改善による $g(\theta)$ 改善が STT 磁化反転電流 I_c の低減に有効であることが明らかとなった．

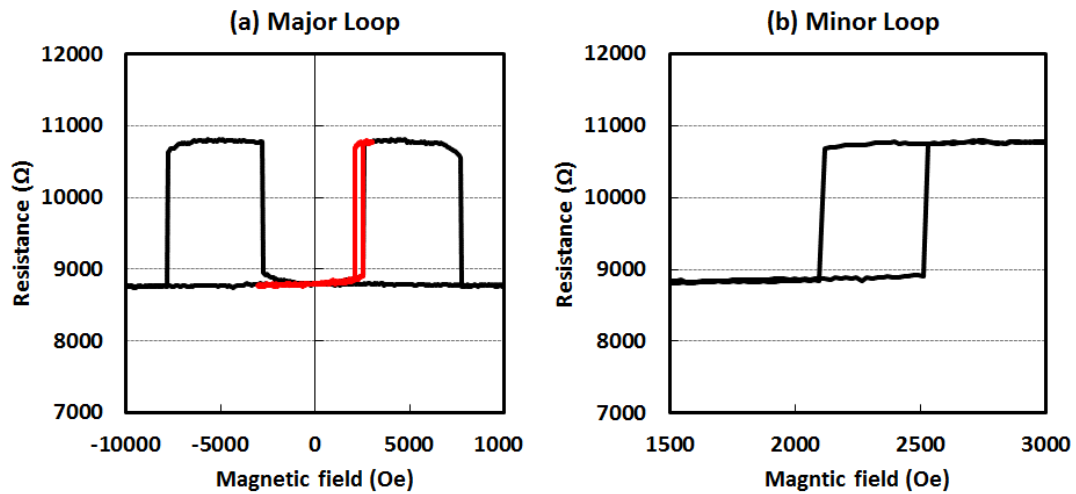


Fig.4-10 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の R - H 曲線．(a) Major R - H 曲線（赤線は Minor R - H 曲線），(b) Minor R - H 曲線．

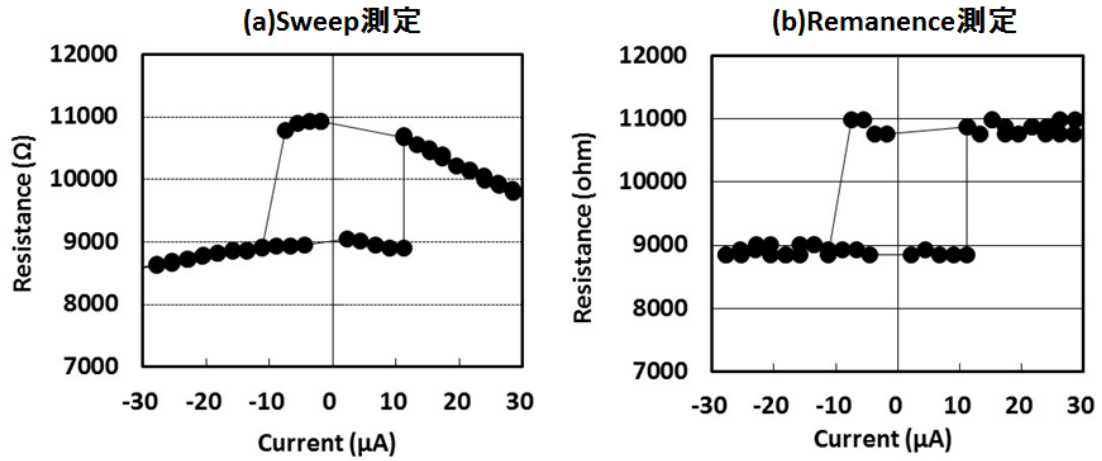


Fig.4-11 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の 5 msec パルス電流書き込みにおける R - I 曲線. (a) Sweep 測定の R - I 曲線, (b) Remanence 測定の R - I 曲線.

Table 4-2 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ と L1₀-FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転電流の低減率 $I_c^{\text{CoFeB/FePd}}/I_c^{\text{FePd}}$ の解析結果.

	$I_c^{\text{CoFeB/FePd}}/I_c^{\text{FePd}}$	
	AP-to-P STT switching	P-to-AP STT switching
Experiment	0.23	0.12
Theory	0.19	0.16

4.4.5 H - I 曲線（磁気相図）の検証

今回作製した CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ について、第2章の2.3.2項で述べた方法と同様の手法で、電流バイアスを変化させた R - H 曲線の測定を実施し、その結果を基に2.3.3項と同様の方法で H - I 曲線を作成した。Fig.4-12 に CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ の磁気相図 H - I 曲線（以下、実験データ H - I 曲線）を示した[135]。また、今回の実験データと式(2-3)を用いて、AP-to-P 磁化反転曲線と P-to-AP 磁化反転曲線から、目視的なガイドとなる解析的な H - I 曲線（以下、解析 H - I 曲線）を Fig.4-12 内に破線で図示した。

まず、実験データ H - I 曲線を見ると、今回得られた垂直磁化 MTJ の H - I 曲線は非常に特徴的な H - I 曲線形状を示している。第2章の2.3.3項の Fig.2-6 で得られた面内磁化 MTJ の H - I 曲線と比較して、電流軸に対して反対称性が大きいことが分かる。AP-to-P 磁化反転および P-to-AP 磁化反転は線形的に変化しており、2次曲線的な振る舞いが抑制されている。このことは、第2章で述べたように、今回得られた垂直磁化 MTJ の STT 磁化反転は、通電時のジュール熱の影響が抑制され、スピントルクが支配的な磁化反転であることを示唆している。また、Fig.4-12 の第1象限および第3象限において、50 μ A を超えるバイアス電流が印加された場合、 H - I 曲線が特異な挙動を示しており、AP-to-P 磁化反転と P-to-AP 磁化反転が重なっている。この挙動については、今回得られた H - I 曲線では 50 μ A を超えるバイアス電流では、Sun らが述べた Telegraph 領域[88]に入っていると考えられ、記憶層の磁化状態が AP 状態と P 状態の両方を取りえる不安定な磁化状態になっているためではないかと考えられる。さらに、今回得られた H - I 曲線の形状は、Mangin らによって報告されている垂直磁化 GMR 素子での H - I 曲線と類似している[101]。上述したように、今回の H - I 曲線評価では、低 STT 磁化反転電流化により、ジュール熱の影響が低く抑制された結果、Mangin らの GMR 素子での STT 磁化反転の磁気相図と同様な磁化反転形態が得られたと考えられる。第3象限の 20-50 μ A 付近に見られる AP-to-P 磁化反転の特異な挙動は、Mangin らによるとジュール熱だけでは説明できないことが報告されており、トンネル電子のホットエレクトロン効果や共鳴現象による影響が議論されているが明確ではない。この現象理解のためは、さらに詳細な解析が必要である。

次に、Back-hopping の影響を評価するために、Fig.4-12 に示した解析 H - I 曲線について考察する。解析 H - I 曲線を見ると、CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転では、AP-to-P 磁化反転および P-to-AP 磁化反転後の Back-hopping 電流は Fig.4-12 の電流軸を大きく上回る程度の数値になる。100 μ A 程度の電流では AP-to-P および P-to-AP の STT 磁化反転は安定であり、Back-hopping は発生しないことが分かる。このことは、STT-MRAM のデバイス動作的観点から言っても、書き込み電流マージンは大きく取れることを示唆している。第2章で述べた面内磁化 MTJ の STT 磁化反転で

見られた AP-to-P 磁化反転後の Back-hopping の発生およびそれによる書き込み電流マージン低下傾向は起こらないと考えられる。上記の解析から、第2章の2.3.3項でも予測したように、低ダンピングである CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転では、STT 磁化反転電流 I_c が十分に低減され、Back-hopping の影響を受けにくくなっていることが磁気相図 H - I 曲線解析から明らかである。本検証の CoFeB/L1₀-FePd 記憶層を用いた MgO-MTJ における磁気相図からみた垂直磁化方式の Back-hopping 回避に対する優位性は、Aikawa らによって報告された結論とも一致している[136]。Aikawa らによると、垂直磁化方式 MTJ では面内磁化方式 MTJ と比べて低電流で STT 磁化反転が可能であり、高 K_u である記憶層を有する垂直磁化方式 MTJ は相対的にジュール熱の影響を受けにくくなり、Back-hopping の発生確率も低減されると報告している。

ここまで示した磁気相図 H - I 曲線解析から、垂直磁化方式 MTJ の STT 磁化反転では、本質的に安定なスピン注入磁化反転が実現され、ジュール熱起因の Back-hopping は抑制されることが明らかとなった。従って、垂直磁化方式 MTJ は、STT 磁化反転電流を低減するだけでなく、STT-MRAM の書き込み動作を安定化させるためにも不可欠である。

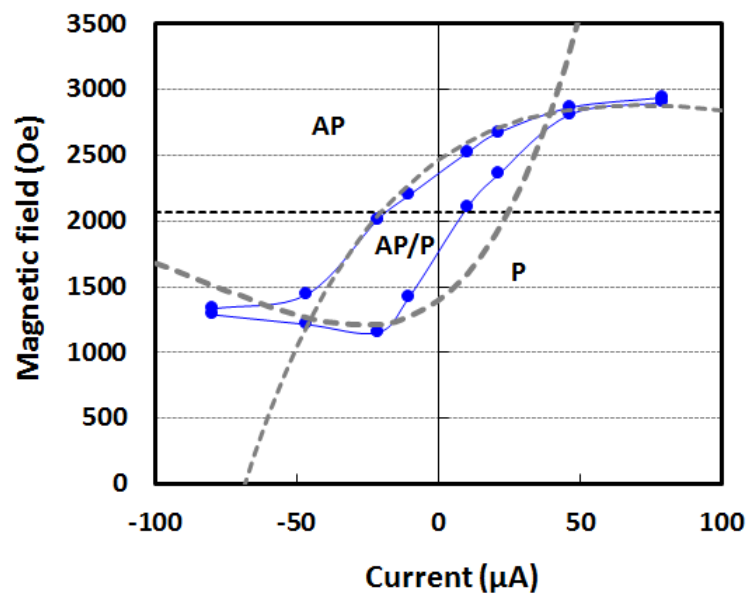


Fig.4-12 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の H - I 曲線 (磁気相図) [135].

4.4.6 STT 磁化反転電流効率

本項では、CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ 素子の高速 STT 磁化反転について述べる。

Fig.4-13 に 30 nsec のパルス電流での典型的な STT 磁化反転の R - V 曲線を示した。STT 磁化反転電流はそれぞれ $I_c^{AP-to-P} = 38 \mu A$, $I_c^{P-to-AP} = 62 \mu A$ であった。また、200 回の繰り返し測定から得られる STT 磁化反転の確率曲線から式(2-1)を用いてフィッティングから求めた記憶層の熱安定性エネルギー ΔE は $\Delta E \sim 42$ であった。この素子の 5 msec パルスでの STT 磁化反転電流は、 $I_c^{AP-to-P} = 17 \mu A$, $I_c^{P-to-AP} = 22 \mu A$ であり、パルス幅によって STT 磁化反転電流は大きく変化した。この振る舞いは第1章の 1.6.1 項で述べたように、熱活性領域での STT 磁化反転の特徴である。熱活性領域での STT 磁化反転は環境の熱の影響を大きく受けるため、パルス幅が長くなると熱によるエネルギー障壁の低下により STT 磁化反転電流 I_c は低下する。5 msec から 30 nsec パルス電流書き込みに変化した場合の平均 STT 磁化反転電流増大比は ~ 2.6 であるが、上述した $\Delta E \sim 42$ と式(1-16)を用いた計算から求められる I_c の増大比は ~ 1.5 にしかない。この差が生じる原因としては、長パルス電流通電時におけるジュール熱の影響の差が考えられ、5 msec パルス電流での書き込み時には、より大きなジュール熱の影響を受けて ΔE が低下していると考えられる。

Fig.4-14(a)と(b)ではそれぞれ 5 msec パルス電流と 30 nsec パルス電流書き込みでの平均 STT 磁化反転電流 $\langle I_c \rangle$ と ΔE の関係を示した。Fig.4-14 で用いられている平均 STT 磁化反転電流 $\langle I_c \rangle$ は AP-to-P と P-to-AP 磁化反転電流の平均値として下記の式で与えられる。

$$\langle I_c \rangle = \frac{I_c^{AP-to-P} + I_c^{P-to-AP}}{2} \quad (4-3)$$

Fig.4-14 では、今回作製した平均 MTJ 素子サイズ 55 nm の複数ビットの結果がプロットされている。すなわち、それぞれのプロット点が 1 ビット毎のデータとなる。Fig.4-14 から、平均 STT 磁化反転電流 $\langle I_c \rangle$ と記憶層の熱安定性エネルギー ΔE のばらつきが分かる。ここで、平均 STT 磁化反転電流 $\langle I_c \rangle$ のばらつきに注目して考える。STT 磁化反転電流の理論式である式(1-6)から MTJ 素子面積に比例するため、MTJ 素子サイズがばらつくことにより $\langle I_c \rangle$ もばらつく。さらに、式(2-8)から垂直磁化方式の STT 磁化反転電流は MTJ 記憶層の ΔE に比例するが、式(1-3)から ΔE は MTJ 素子面積に比例するため、 ΔE も MTJ 素子サイズに依存することになる。従って、Fig.4-14 で見られる平均 STT 磁化反転電流 $\langle I_c \rangle$ のばらつきは、マクロスピンモデル（一斉磁化反転モデル）に従う場合は、MTJ 素子サイズばらつきに起因することになる。しかしながら、次の 4.4.7 項で詳細を述べることになるが、垂直磁化方式の STT 磁化反転では、マクロスピンモデルで

記述できない場合も存在する．従って，平均 STT 磁化反転電流 $\langle I_c \rangle$ のばらつき抑制は，垂直磁化方式の STT 磁化反転で重要なポイントである．

Fig.4-14(a)と(b)では，グラフ中の破線は $\langle I_c \rangle / \Delta E = 1$ を示している．Fig.4-12(a)から 5 msec では $\langle I_c \rangle / \Delta E \sim \leq 1$ と非常に良好な $\langle I_c \rangle / \Delta E$ を示している．一方，STT-MRAM の動作目標値である 30 nsec では $\langle I_c \rangle / \Delta E \sim \geq 1$ となり，上記で示した平均的な特性を有する単ビットでの 5 msec と 30 nsec の I_c と同様に STT 磁化反転の理論に従って $\langle I_c \rangle$ が増大する傾向を示していることが分かる．5 msec 長パルスから 30 nsec 短パルス書き込みへ変化した場合， $\langle I_c \rangle / \Delta E$ は 0.6 から 1.6 に増大するが，上述したようにこれは短パルス化によるジュール熱の影響が小さくなる影響であり，熱活性領域での STT 磁化反転の特徴である． Δ の増大により $\langle I_c \rangle / \Delta E$ のパルス幅依存性は軽減される．今回得られた CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ 素子の 30 nsec パルス電流での高速 STT 磁化反転において，平均 STT 磁化反転電流効率は $\langle I_c \rangle / \Delta \sim 1.6$ であり，概ね $1.0 \leq \langle I_c \rangle / \Delta \leq 2.0$ の範囲で抑制されている．従って，これまで報告されている面内磁化 MTJ の STT 磁化反転電流効率 ($\langle I_c \rangle / \Delta \geq 2$) と比較しても良好であることが分かる．本結果から，第2章の2.4節で述べたように，STT 磁化反転電流効率 I_c / Δ の観点において，垂直磁化方式は面内磁化方式よりも優位であるということを実証できた．

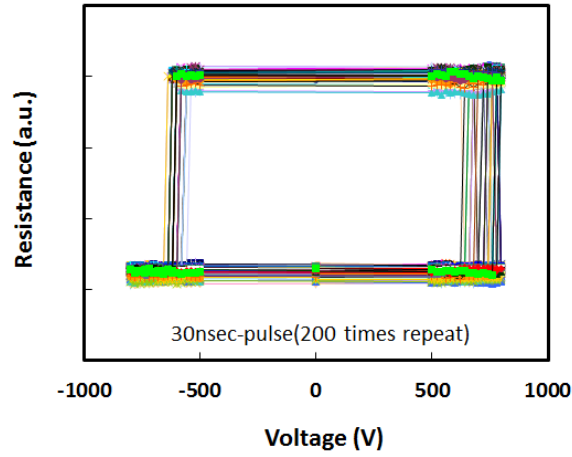


Fig.4-13 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の 30nsec パルス書き込みにおける R - V 曲線.

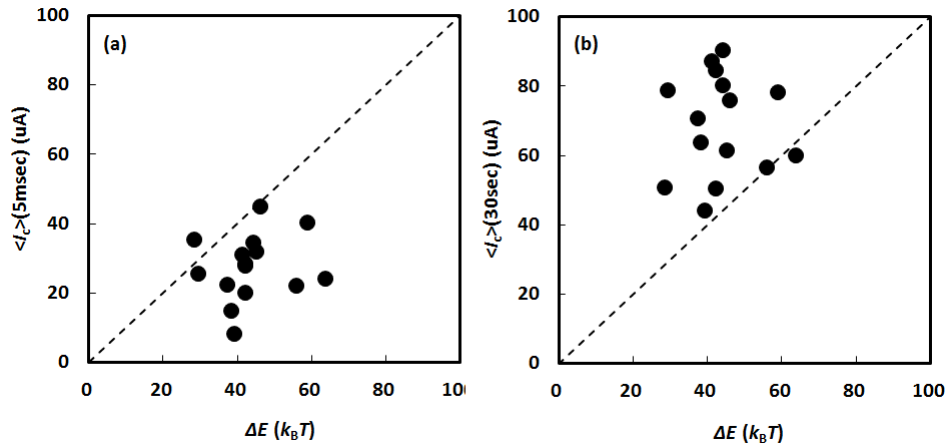


Fig.4-14 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の STT 磁化反転平均電流 $\langle I_c \rangle$ と ΔE の関係を示すグラフ[135]. (a) 5 msec パルス電流での STT 磁化反転, (b) 30 nsec パルス電流での STT 磁化反転.

4.4.7 STT 磁化反転電流と STT 磁化反転電流効率のスケーリング

Fig.4-15 に CoFeB/L1₀-FePd 記憶層を用いた MgO(001)バリア層を有する垂直磁化 MTJ 素子の STT 磁化反転電流 I_c の MTJ 素子直径依存性を示した. STT 磁化反転電流 I_c は, AP-to-P 磁化反転および P-to-AP 磁化反転共に MTJ 素子直径の縮小と共に低減している.

マクロスピンモデルを用いた場合, 垂直磁化方式での STT 磁化反転電流は下記のように表される.

$$I_c = \frac{4e\alpha}{\hbar g(\theta)} \Delta E = \frac{4e\alpha}{\hbar g(\theta)} K_{u-\text{eff}} V = \frac{4e\alpha}{\hbar g(\theta)} K_{u-\text{eff}} \pi \left(\frac{D}{2}\right)^2 t \propto D^2 \quad (4-4)$$

ここで, V は記憶層体積, D は記憶層直径, t は記憶層膜厚である. 記憶層直径は MTJ 素子直径と等しいと仮定する. 従って, 同一垂直磁化 MTJ を用いて STT 磁化反転電流の MTJ 素子直径依存性を測定した場合, STT 磁化反転電流 I_c は MTJ 素子直径 D^2 に従って変化することになる.

次に, Fig.4-16 に CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ 素子の STT 磁化反転電流効率 $I_c/\Delta E$ の MTJ 素子直径依存性を示した. STT 磁化反転電流効率 $I_c/\Delta E$ も MTJ 素子微細化に伴い低減している. この結果は, 垂直磁化方式での STT 磁化反転で STT 磁化反転電流効率 $I_c/\Delta E$ が MTJ 素子直径に依存するのを実験的に明確に示した初めての結果である. 従って, 垂直磁化 MTJ の STT 磁化反転では, STT 磁化反転電流 I_c だけでなく STT 磁化反転電流効率 $I_c/\Delta E$ もスケーリング性があることが示された. しかしながら, 垂直磁化 MTJ に見られる STT 磁化反転電流効率 $I_c/\Delta E$ の改善は, 一斉磁化反転を基本とするマクロスピンモデルでは説明ができない. マクロスピンモデルでは, 垂直磁化方式の STT 磁化反転電流効率 $I_c/\Delta E$ は式(4-4)を変形して下記のように表される.

$$\frac{I_c}{\Delta E_{\text{coherent}}} = \frac{4e\alpha}{\hbar g(\theta)} \approx \text{const.} \quad (4-5)$$

従って, 垂直磁化方式の STT 磁化反転がマクロスピンモデルに従うならば, STT 磁化反転電流効率 $I_c/\Delta E$ は一定値となるはずである. 本検証で得られた実験結果は式(4-5)で得られる結果と異なる.

一方, 垂直磁化膜では, 磁化反転核サイズ D_n あるいは交換結合長 L_{ex} などの特性長以上のサイズでは磁壁移動型磁化反転することが提唱されている[137]. Fig.4-17 に一斉磁化反転 (マクロスピンモデル) と磁壁移動型磁化反転の違いを模式的に示した. また, 垂直磁化 STT 磁化反転もマクロスピンモデルに基づいた STT 理論では説明できないと

いうことが既に報告されている．Kai ら[138][139]は垂直磁化方式の STT 磁化反転において，LLG（Landau-Lifshitz-Gilbert）計算から MTJ 素子直径 D の縮小に伴い STT 磁化反転電流効率 $I_c/\Delta E$ が低減する結果を報告している．さらに，Nakayama ら[140][141][142]は垂直磁化 MTJ の STT 磁化反転は磁壁移動により支配されていることを初めて提唱し，一斉磁化反転と磁壁移動磁化反転を用いたモデルで解析的に説明した．垂直磁化 MTJ における記憶層の熱安定性エネルギー ΔE と MTJ 素子直径の関係について， ΔE は記憶層の単磁区臨界サイズ D_s を境にして MTJ 素子直径 D の依存性が変化する． D_s 以下では D^2 に比例し， D_s 以上では D に依存して上昇するが MTJ 直径 D^2 依存性よりは小さな依存性になることを明らかにした．さらに，STT 磁化反転電流効率 $I_c/\Delta E$ が MTJ 素子直径の縮小に伴い低減していくことも示した．この考え方に基づくと本検証で得られた $I_c/\Delta E$ の挙動が説明できる．次に Nakayama らの示した理論に基づき，単純化したモデルを用いて本検証で得られた垂直磁化 STT-MRAM の $I_c/\Delta E$ 挙動を説明する．垂直磁化 STT 磁化反転では磁壁移動磁化反転が支配的であると仮定する．この場合，磁壁形成移動エネルギーが記憶層磁化反転の熱安定性エネルギーを決めることになる．垂直磁化膜の場合は，ブロッホ磁壁が形成され磁化反転すると考えられるが，その場合の磁壁のエネルギー密度 U は下記で与えられる[143][144]．

$$U = 4\sqrt{A_{\text{ex}}K_{\text{u-eff}}} \quad (4-6)$$

ここで， A_{ex} は交換スティフネス定数， K_{eff} は実効的な一軸磁気異方性である．磁区の核が形成され磁壁が移動しながら磁化反転が進むことになるが，磁壁エネルギーの最大値が垂直磁化 STT 磁化反転に必要なエネルギーとなる．MTJ 素子断面積が最大の時，すなわち，MTJ 素子直径 D と同じ長さの磁壁を形成した時に磁壁エネルギー ΔE_{DW} は最大値をとるため， ΔE_{DW} は下記で与えられる[143][144]．

$$\Delta E_{\text{DW}} = 4\sqrt{A_{\text{ex}}K_{\text{u-eff}}}Dt \propto D \quad (4-7)$$

ここで，記憶層の磁化反転が磁壁移動に支配され，記憶層の熱安定性エネルギーが磁壁エネルギーで記述されると仮定する．STT 磁化反転電流は単純に D^2 に比例するため式(4-4)で記述される．従って，STT 磁化反転電流効率 $I_c/\Delta E$ は下記のように表され，MTJ 素子直径に比例することになる．

$$\frac{I_c}{\Delta E_{\text{DW}}} = \frac{\frac{2e\alpha}{\hbar g(\theta)} K_{\text{u-eff}} \pi \left(\frac{D}{2}\right)^2 t}{4\sqrt{A_{\text{ex}}K_{\text{u-eff}}}Dt} \propto D \quad (4-8)$$

従って、Nakayama ら[140][141][142], Hubert ら[143], Chaves-O'Flynn ら[144]が提唱した記憶層の熱安定性エネルギーモデルに基づいて考察した結果、 $I_c/\Delta E$ が MTJ 素子直径 D にほぼ比例するという本検証で得られた結果は、垂直磁化 STT 磁化反転が磁壁移動に支配されていることで説明できることが分かった。

次に、本検証で得られた垂直磁化方式の STT 磁化反転電流効率 $I_c/\Delta E$ のスケーリング限界点[140][141][142]について述べる。Fig.4-18 に垂直磁化方式の STT 磁化反転電流 I_c 、記憶層の熱安定性エネルギー ΔE 、STT 磁化反転電流効率 $I_c/\Delta E$ の MTJ 素子直径 D の依存性の模式図を示した。上述したように STT 磁化反転電流 I_c は MTJ 素子直径 D に対して2乗で減少する (Fig.4-18 (a))。記憶層の熱安定性エネルギー ΔE は、記憶層の磁化反転モードで決まることになる。一般的には、ある記憶層の臨界体積で一斉磁化反転から磁壁移動磁化反転に切り替わることになる。一斉磁化反転の場合の MTJ 記憶層の熱安定性エネルギーは下記で与えられる[140][141][142]。

$$\Delta E_{\text{coherent}} = K_{\text{u-eff}}V = K_{\text{u-eff}}St = K_{\text{u-eff}}\pi\left(\frac{D}{2}\right)^2 t \quad (4-9)$$

また、磁壁移動磁化反転の場合の MTJ 記憶層の熱安定性エネルギーは式(4-7)で与えられる。ここで、一斉磁化反転から磁壁移動磁化反転が切り替わる MTJ 素子直径を臨界 MTJ 素子直径 (Critical Diameter : D_c) とする。臨界 MTJ 素子直径 D_c では2つの磁化反転形式の熱安定性エネルギーが等しくなるため、記憶層のエネルギーは下記の等価式で与えられる[140][141][142][144]。

$$\Delta E_{\text{coherent}} = \Delta E_{\text{DW}} \quad (4-10)$$

式(4-10)に式(4-7)と式(4-9)を代入することで、臨界 MTJ 素子直径 D_c は下記で与えられる[144]。

$$D_c = \frac{16}{\pi} \sqrt{\frac{A_{\text{ex}}}{K_{\text{u-eff}}}} \quad (4-11)$$

従って、記憶層の熱安定性エネルギーは、MTJ 素子直径が D_c より大きい場合は D に比例し、 D_c より小さい場合は D^2 に比例することになる (Fig.4-18 (b))。

上記で求めた STT 磁化反転電流 I_c と記憶層の熱安定性エネルギーの MTJ 素子直径の関係から、STT 磁化反転電流効率 $I_c/\Delta E$ は Fig.4-18 (c) のように図示される。MTJ 素子

直径が D_c まで低減する間は $I_c/\Delta E$ は改善するが、 D_c 以下で飽和することになる．この考察から、 $I_c/\Delta E$ のスケール性は D_c で決まることが分かる． D_c は式(4-11)から求められる臨界 MTJ 素子直径であり、記憶層の交換スティフネス A_{ex} と実効的一軸磁気異方性 K_{eff} を制御すれば D_c の微細化は可能となり、 $I_c/\Delta E$ のスケール性は拡張できる．Nakayama らにより提案された書き込み安定化のためには、記憶層の磁気異方性エネルギー K_u 、飽和磁化 M_s 、膜厚 t 、 A_{ex} を制御し、単磁区臨界サイズ D_s が MTJ 素子直径 D と等しいとする設計方法[140][141][142]とも矛盾しない．今後は、 D_c を低減できる垂直磁化記憶層の材料パラメータの最適化が課題となる．

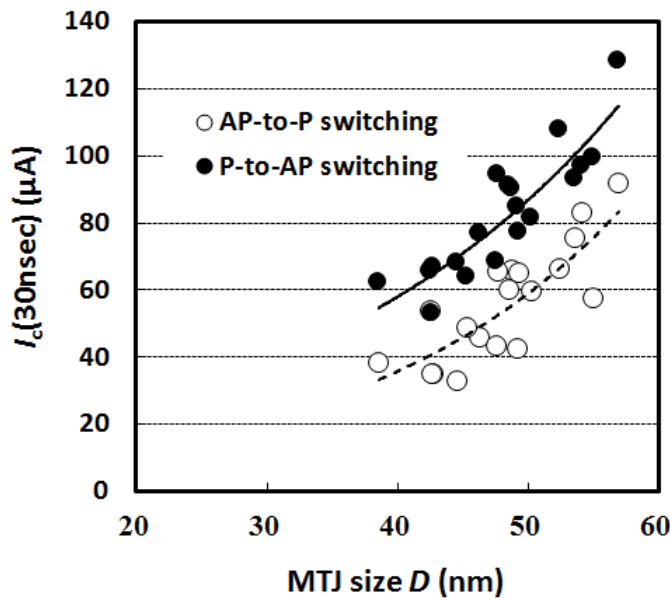


Fig.4-15 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の STT 磁化反転電流 I_c の MTJ 素子直径 D 依存性.

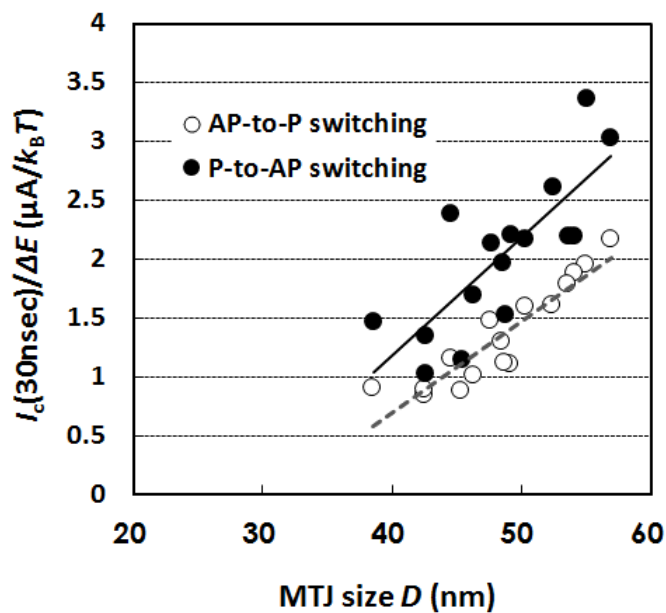


Fig.4-16 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ 素子の STT 磁化反転電流 $I_c/\Delta E$ の MTJ 素子直径 D 依存性.

(a)一斉磁化反転



(b)磁壁移動磁化反転

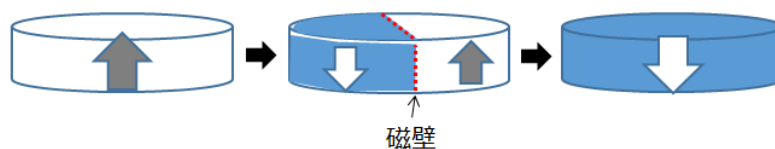


Fig.4-17 垂直磁化 MTJ の記憶層の STT 磁化反転形態を示した模式図. (a) 一斉磁化反転の場合, (b) 磁壁移動磁化反転の場合.

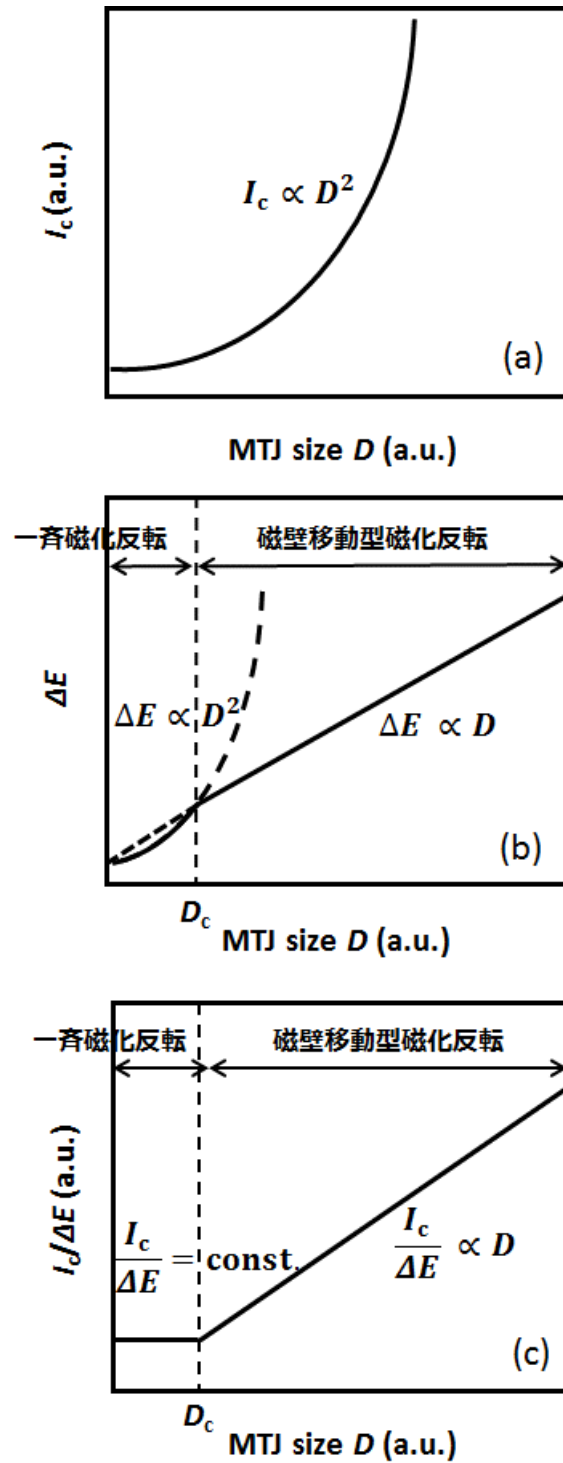


Fig.4-18 (a) STT 磁化反転電流 I_c , (b) 記憶層の熱安定性エネルギー ΔE , (c) STT 磁化反転電流効率 $I_c/\Delta E$ の MTJ 素子直径 D 依存性を示した模式図.

次に、CoFeB/L1₀-FePd を記憶層有する垂直磁化 MTJ における STT 磁化反転電流とトランジスタ駆動電流と特性長 F との関係について説明する．第1章でも述べたように、垂直磁化 STT-MRAM が DRAM を置き換えるためには、書き込み電流 I_w を供給する選択トランジスタの駆動電流 $I_d(=I_w)$ よりも STT 磁化反転電流 I_c が下回る必要がある．第1章で示した Fig.1-14 に本検証での 30 nsec パルス電流での平均 STT 磁化反転電流 $\langle I_c \rangle$ をプロットしたのが Fig.4-19 である．ここで、 $\langle I_c \rangle = (I_c^{AP-to-P} + I_c^{P-to-AP})/2$ で定義される．Fig.4-19 には、実測データ値に合わせ込んだ LLG シミュレーションによる得られた STT 磁化反転電流 I_c の特性長 F 依存性の結果も合わせて示した．Fig.4-19 から、垂直磁化 STT-MRAM セルの特性長 F が 35 nm 以下で STT 磁化反転電流 I_c がトランジスタの駆動電流 I_d を下回ることが分かる．この結果は、本検証で用いた CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MgO-MTJ が、書き込み電流の観点において、特性長が 35 nm 以下の世代で DRAM と同等程度のセルサイズまで縮小できるポテンシャルがあるということを示唆している．また、本検証で得られた CoFeB/L1₀-FePd 記憶層を有する MTJ は TMR ~ 26 % であり非常に低い値であった．今後の技術開発により、TMR が ~ 50 %、~ 100 % と改善した場合に予想される STT 磁化反転電流 I_c の特性長依存性曲線を Fig.4-19 内に示した．STT 磁化反転電流 I_c の予想は、第1章の 1.6 節で述べた STT 磁化反転理論に基づき計算した．今後、TMR の改善と共に、 I_c が大幅に改善できる余地があることが予想される．

上述してきたように垂直磁化方式の STT-MRAM は DRAM を陵駕する可能性を秘めている．また、第1章で述べたように、垂直磁化方式の STT-MRAM は現在開発されている新規メモリで唯一 DRAM 代替が可能な新規不揮発性メモリと認識されている．このような状況において、本検証で CoFeB/L1₀-FePd 記憶層を有する垂直磁化 MTJ を用いた STT-MRAM が DRAM と同等のセルサイズまでスケールアップできるポテンシャルを有するという予測ができる結果を得ることができた．本検証で得られたような報告例はこれまでに無く、本結果は開発現場に大きなインパクトを与えると共に、垂直磁化方式の STT-MRAM の開発を加速する推進力になると考えられる．

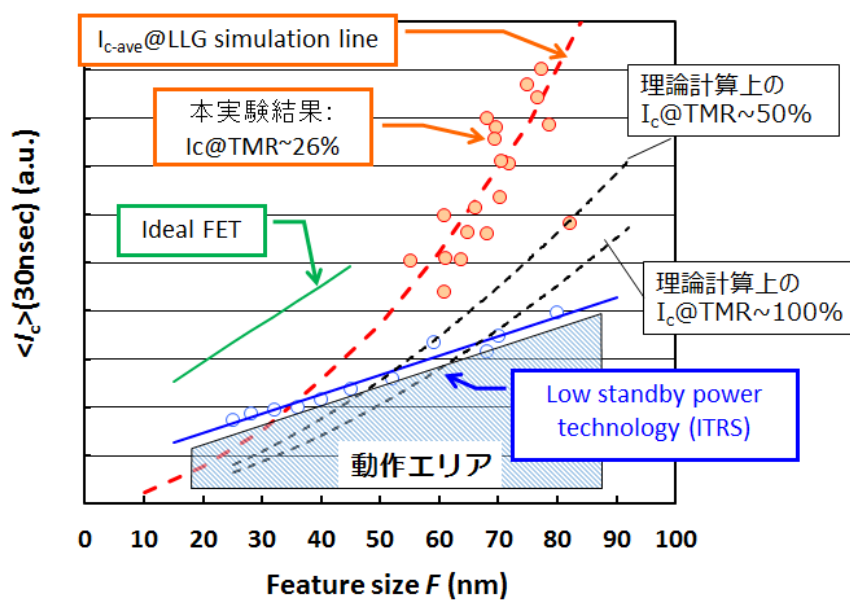


Fig.4-19 CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転電流 I_c のスケールリング. グラフ内には ITRS が示すトランジスタ駆動電流 I_d と理想的な Fin-FET での駆動電流も示した.

4.5 小括

本章は以下のように小括される。

本章では L1₀-FePd 磁性電極を用いた垂直磁化 MTJ の低電流 STT 磁化反転 ($J_c < 1 \times 10^6$ A/cm²) の実証を目的とした。高い一軸結晶磁気異方性を有し、低ダンピングが期待できる L1₀-FePd 記憶層を見出し、Bottom 記憶層を適用した高品質な垂直磁化 MgO-MTJ の形成を試み、STT 磁化反転特性を詳細に検証した。その結果、以下のことが明らかとなった。

1. 一軸垂直磁気異方性を有する L1₀-FePd 膜において、低ダンピング $\alpha \sim 0.015$ を FMR 法による観測に成功した。
2. Bottom 記憶層 MTJ 構造を選択し、Pd(001)下地層上に L1₀-FePd(001)を形成することにより、高(001)配向した結晶性の良好な L1₀-FePd(001)記憶層形成に成功した。HR-TEM 観察から、平滑な CoFeB/L1₀-FePd 積層記憶層、結晶化した CoFeB 界面層、平滑な MgO バリア層が観察された。
3. CoFeB/L1₀-FePd からなる Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、 $I_c^{AP-to-P} = 9.3 \mu A$, $I_c^{P-to-AP} = 11.2 \mu A$, $\Delta E = 32 k_B T$ の低電流 STT 磁化反転の観測に成功した。STT 磁化反転電流密度換算で $J_c^{AP-to-P} = 3.9 \times 10^5$ A/cm², $J_c^{P-to-AP} = 4.7 \times 10^5$ A/cm² であり、世界で初めて 1×10^6 A/cm² 以下の低電流 STT 磁化反転を実証した。
4. L1₀-FePd 記憶層を用いた垂直磁化 MTJ と CoFeB/L1₀-FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転の I_c 低減比率の比較解析から、CoFeB/L1₀-FePd 記憶層を用いた MTJ の低電流化要因は、TMR 増大、ダンピング α 低減、 ΔE で解析的に説明できた。
5. CoFeB/L1₀-FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、30nsec の高速 STT 磁化反転を観測した。この時、 $I_c^{AP-to-P} = 38 \mu A$, $I_c^{P-to-AP} = 62 \mu A$, $\Delta E = 42 k_B T$ であった。30 nsec の高速 STT 磁化反転においても、良好な STT 磁化反転電流効率 $\langle I_c \rangle / \Delta \sim 1.6$ を確認した。
6. CoFeB/L1₀-FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の H - I 曲線のジュール熱解析の結果、AP-to-P および P-to-AP の STT 磁化反転でジュール熱の影響は小さく、Back-hopping が起こる確率は小さいことを確認した。
7. CoFeB/L1₀-FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、STT 磁化反転電流 I_c の 2 次曲線的な MTJ サイズ依存性を観測した。さらに、STT 磁化反転電流効率 $I_c / \Delta E$ の線形的な MTJ サイズ依存性を世界で初めて実験的に観測した。50 nm 付近の MTJ サイズ領域で、 $I_c / \Delta E$ の MTJ 素子サイズ依存性が線形的であることは、CoFeB/L1₀-FePd 記憶層の STT 磁化反転が磁壁移動磁化反転であるというモデルを用いて説明できた。

8. CoFeB/L1₀-FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の STT 磁化反転電流 I_c と ITRS からのトランジスタ駆動電流 I_d の特性長依存性から, CoFeB/L1₀-FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の STT 磁化反転電流 I_c が, 特性長 F が 35 nm 以下の世代でトランジスタ駆動電流 I_d を下回ることを予測した. この予測から, 35 nm 以下の特性長 F で垂直磁化方式の STT-MRAM は理論最小セルサイズである $8F^2$ セルを実現できることが分かった.

第 5 章 総括

本研究は、高密度・大容量な垂直磁化 STT-MRAM の実現に向け、垂直磁化 MTJ の高 TMR 化および低電流 STT 磁化反転を実証することを目的として行なわれた。Gbit 級 STT-MRAM の実現のためには、100 %を超える高 TMR と電流密度換算で $1 \times 10^6 \text{ A/cm}^2$ を下回る低電流 STT 磁化反転電流が必要である。これまでの研究報告では面内磁化 MTJ が主に研究されており、高 TMR 化の報告はあったものの、上述した要求を満たす低電流 STT 磁化反転を実証した報告例はなかった。一方、垂直磁化 MTJ においては、未だ研究開発が始まったばかりであり、100 %を超える TMR の報告は本研究の前にはなく、STT 磁化反転についても電流密度換算で $1 \times 10^6 \text{ A/cm}^2$ を下回る低電流 STT 磁化反転の報告はなかった。

そこで本研究では、まず面内磁化 MTJ の STT 磁化反転の磁気相図を評価解析し、面内磁化 MTJ における STT 磁化反転の本質的な課題を明確化する検証を行った。次に、高い一軸結晶磁気異方性を有し、スケーリング性に優れる L_{10} 規則合金に着目し、 L_{10} -FePt 磁性電極を用いた垂直磁化 MTJ による高 TMR 化検証に着手した。次に、高い一軸結晶磁気異方性と低ダンピングを有する L_{10} -FePd を記憶層に用いた Bottom 記憶層型垂直磁化 MTJ の STT 磁化反転の検証を行なった。さらに、 L_{10} -FePd を用いた Bottom 記憶層型垂直磁化 MTJ の STT 磁化反転の検証結果を基に、垂直磁化方式の STT 磁化反転電流および STT 磁化反転電流効率のスケーリング性を検証した。以下で本研究の成果について以下で総括する。

第 2 章では、CoFeB/MgO/CoFeB-MTJ を用いた面内磁化 MTJ の STT 磁化反転の磁気相図 (H - I 曲線) の評価解析を行い、Back hopping 現象による STT 磁化反転の不安定性および STT-MRAM における書き込みマージンの低下の問題を明らかにした。さらに、Back-hopping 抑制には STT 磁化反転電流の低減が効果的であり、STT 磁化反転電流低減の観点から垂直磁化方式が面内磁化方式より優位であることを述べた。

第 2 章の成果は以下のようにまとめられる。

1. 面内磁化 CoFeB/MgO/CoFeB-MTJ 素子のバイアス R - H 曲線を取得し、正負バイアスで非対称な記憶層の H_c と H_{shift} 挙動を観測した。
2. 面内磁化 CoFeB/MgO/CoFeB-MTJ 素子の H - I 曲線を解析した結果、負バイアス側の第 4 象限で見られる P-to-AP 磁化反転磁界の急激な低下の影響で、AP-to-P 側 STT 磁化反転において、AP-to-P 磁化反転後に P-to-AP へ逆反転する現象である Back-hopping が発生し得ることを予測した。この Back-hopping により AP-to-P 側 STT 書

き込み時の電圧が制約され、STT-MRAM のデバイス書き込みマージンが低下することを予測した。

3. STT 磁化反転時の通電により発生するジュール熱の影響解析から、AP-to-P の STT 磁化反転 (H - I 曲線の第3象限) と P-to-AP の STT 磁化反転 (H - I 曲線の第1象限) は、ジュール熱の影響を受けており、ジュール熱の影響はそれぞれの STT 磁化反転直前の状態の AP 状態および P 状態の抵抗値の違いで説明できることが分かった。
4. 一斉磁化反転モデルを基にした磁化反転エネルギーを解析的に検証した結果、STT 磁化反転電流の低減の観点では、面内磁化方式より垂直磁化方式が原理的に優位であることが分かった。また、MTJ 素子サイズ縮小とそれに伴う STT 磁化反電流の低減の観点からも垂直磁化方式が優位であり、垂直磁化方式がスケール性に優れていることが分かった。

第3章では、高い一軸結晶磁気異方性を有し、スケール性に優れる $L1_0$ -FePt 磁性電極を用いた垂直磁化 MgO-MTJ の作製を試み、世界初の 100 %を超える高 TMR を実証した。

第3章の成果は以下のようにまとめられる。

1. $L1_0$ -FePt(001)/MgO(001)/bcc-Fe(001)/ $L1_0$ -FePt(001)の構成を有する垂直磁化 MTJ 膜で、世界で初めて 100 %を超える室温TMR ~ 105.2 %, $RA = 13.4 \text{ k}\Omega\mu\text{m}^2$ を得ることに成功した。
2. $L1_0$ -FePt(001)を用いた垂直磁化 MgO-MTJ 膜で、bcc-Fe 界面層挿入と 500 °C 高温短時間アニールにより、記憶層 $L1_0$ -FePt および参照層 bcc-Fe/ $L1_0$ -FePt の保磁力 H_c はそれぞれ $H_c^{SL} = 0.6 \text{ kOe}$, $H_c^{RL} = 2.5 \text{ kOe}$ を有する良好な保磁力差型 MTJ の M - H 曲線を得ることに成功した。
3. $L1_0$ -FePt(001)を用いた垂直磁化 MgO-MTJ 膜において、 $L1_0$ -FePt(001)と MgO(001)での大きな格子ミスフィット (8.6 %) を緩和するために、2.0 nm bcc-Fe(001)層を挿入することにより、エピタキシャルな関係を有する MgO(001)/bcc-Fe(001)/ $L1_0$ -FePt(001)積層を得ることに成功した。この時、平滑な MgO(001)バリア層が観測された。
4. $L1_0$ -FePt(001)を用いた垂直磁化 MgO-MTJ 膜において、500°C短時間アニールにより、 $L1_0$ -FePt 記憶層の規則化を促進しながら、bcc-Fe(001)界面層と $L1_0$ -FePt(001)参照層の界面での相互拡散が抑制されていることを示す明瞭な界面が観測された。
5. B 添加により、高(001)配向で均一な結晶粒径分布を有する $L1_0$ -FePt 層を得ることができたことにより、500 °C 高温アニール後においても、 $L1_0$ -FePt 参照層の結晶粒径の粗大化が抑制された。

第4章では、高い一軸結晶磁気異方性を有し、低ダンピングが期待できる $L1_0$ -FePd を Bottom 記憶層として用いた垂直磁化 MgO-MTJ の STT 磁化反転を検証し、世界初の $J_c < 1 \times 10^6$ A/cm² となる低電流垂直磁化 STT 磁化反転の実証した。さらに、CoFeB/ $L1_0$ -FePd 記憶層を用いた Bottom 記憶層型垂直磁化 MTJ の良好なスケーリング性を実証した。

第4章の成果は以下のようにまとめられる。

1. 一軸垂直磁気異方性を有する $L1_0$ -FePd 膜において、低ダンピング $\alpha \sim 0.015$ を FMR 法による観測に成功した。
2. Bottom 記憶層 MTJ 構造を選択し、Pd(001)下地層上に $L1_0$ -FePd(001)を形成することにより、高(001)配向した結晶性の良好な $L1_0$ -FePd(001)記憶層形成に成功した。HR-TEM 観察から、平滑な CoFeB/ $L1_0$ -FePd 積層記憶層、結晶化した CoFeB 界面層、平滑な MgO バリア層が観察された。
3. CoFeB/ $L1_0$ -FePd からなる Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、 $I_c^{AP-to-P} = 9.3 \mu A$, $I_c^{P-to-AP} = 11.2 \mu A$, $\Delta E = 32 k_B T$ の低電流 STT 磁化反転の観測に成功した。STT 磁化反転電流密度換算で $J_c^{AP-to-P} = 3.9 \times 10^5$ A/cm², $J_c^{P-to-AP} = 4.7 \times 10^5$ A/cm² であり、世界で初めて 1×10^6 A/cm² 以下の低電流 STT 磁化反転を実証した。
4. $L1_0$ -FePd 記憶層を用いた垂直磁化 MTJ と CoFeB/ $L1_0$ -FePd 記憶層を用いた垂直磁化 MTJ の STT 磁化反転の I_c 低減比率の比較解析から、CoFeB/ $L1_0$ -FePd 記憶層を用いた MTJ の低電流化要因は、TMR 増大、ダンピング α 低減、 ΔE で説明できた。
5. CoFeB/ $L1_0$ -FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、30nsec の高速 STT 磁化反転を観測した。この時、 $I_c^{AP-to-P} = 38 \mu A$, $I_c^{P-to-AP} = 62 \mu A$, $\Delta E = 42 k_B T$ であった。30 nsec の高速 STT 磁化反転においても、良好な STT 磁化反転電流効率 $\langle I_c \rangle / \Delta \sim 1.6$ を確認した。
6. CoFeB/ $L1_0$ -FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の H - I 曲線の熱解析の結果、AP-to-P および P-to-AP の STT 磁化反転でジュール熱の影響は小さく、Back-hopping が起こる確率は小さいことが確認された。
7. CoFeB/ $L1_0$ -FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ で、STT 磁化反転電流 I_c の 2 次曲線的な MTJ サイズ依存性を観測した。さらに、STT 磁化反転電流効率 $I_c / \Delta E$ の線形的な MTJ サイズ依存性を世界で初めて実験的に観測した。50 nm 付近の MTJ サイズ領域で、 $I_c / \Delta E$ の MTJ 素子サイズ依存性が線形的であることは、CoFeB/ $L1_0$ -FePd 記憶層の STT 磁化反転が磁壁移動磁化反転であるというモデルを用いて説明できた。
8. CoFeB/ $L1_0$ -FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の STT 磁化反転電流 I_c と ITRS からのトランジスタ駆動電流 I_d の特性長依存性から、CoFeB/ $L1_0$ -FePd-Bottom 記憶層を用いた垂直磁化 MgO-MTJ の STT 磁化反転電流 I_c が、特性長 F が 35 nm 以下の世代でトランジスタ駆動電流 I_d を下回ることを予測した。この予測から、35 nm

以下の特性長 F で垂直磁化方式の STT-MRAM は理論最小セルサイズである $8F^2$ セルを実現できることが分かった。

以下で、今後必要とされる垂直磁化方式 STT-MRAM に関する研究課題と今後の展望について、最新の垂直磁化 MTJ 開発動向も踏まえて以下で述べる。

第3章では、 $L1_0$ -FePt(001)を用いた MTJ に、bcc-Fe 界面層挿入および高温短時間アニールを施すことで、垂直磁化 MTJ で世界初の 100% を越える高 TMR が得られたことを報告した。本研究で得られた知見と技術は、CoFeB / MgO / CoFeB を用いた垂直磁化 MgO-MTJ 開発に展開され、2008 年 Nagase らは垂直磁化 MTJ で世界初の TMR ~ 202 % を報告した[145][146]。また、CoFeB / MgO / CoFeB 積層を有する垂直磁化 MTJ で高 TMR を得るためには、CoFeB の再結晶化の制御が重要である。この CoFeB 再結晶化のキー技術として、CoFeB と参照層との界面に結晶化遅延層 (Ta など) を挿入する方法が特許提案されている[147][148]。この技術は、現在の垂直磁化 MTJ で不可欠な技術となっている[149][150]。近年、垂直磁化による反強磁性結合 (Synthetic Anti-Ferromagnetic : SAF) 参照層の適用により、SAF 参照層の耐熱性を考慮した低温アニールによる CoFeB の再結晶化を実現する必要性が要求されている。高 TMR と良好な垂直磁気異方性の両立も要求されているが、CoFeB/MgO/CoFeB を有する垂直磁化 MgO-MTJ での界面垂直磁気異方性の改善と高 TMR 化は、現在提案されている理論モデルでは互いに相反関係であることが知られている。従って、本研究で示したような結晶磁気異方性を有する結晶性の記憶層を用いた垂直磁化 MTJ が再度注目され、高 TMR 化の研究が重要になる可能性は今後十分にあり得ると考えられる。

第4章では垂直磁化方式による MTJ の低電流 STT 磁化反転と垂直磁化 MgO-MTJ での STT 磁化反転電流のスケーリングについて報告した。本研究では、高い一軸結晶磁気異方性を有する $L1_0$ -FePd を用いた Bottom 記憶層型垂直磁化 MgO-MTJ を用いた。近年、界面垂直磁気異方性を用いた垂直磁化 CoFeB 記憶層[151]が観測されたことにより、垂直磁化 CoFeB 単層記憶層を用いた MTJ による低電流 STT 磁化反転の開発が加速し、実用化の機運は高まってきている。しかしながら、界面垂直磁気異方性を用いた CoFeB 記憶層で記憶層の熱安定性エネルギーを保持しながら、 $I_0/\Delta E$ を維持できるのは 18 nm が限界であるとの報告[152]がある。界面垂直磁気異方性の CoFeB 記憶層の先を見据えた場合、高結晶磁気異方性と低ダンピングを有する垂直磁化記憶層材料が再び要求され見直される可能性がある。

以上からも分かるように、今後、垂直磁化 STT-MRAM が、DRAM を越える新規不揮発性メモリとしての地位を確立していくためには、現在主流である界面垂直磁気異方性を有する CoFeB 記憶層を超える新たな熱安定な記憶層材料の開発が必要であることは言うまでもない。また、垂直磁化 MTJ の高 TMR 化と STT 磁化反転電流の低減が引き続き重要となる。さらに、近年研究開発が急速に進んでいるスピン軌道トルク効果 (Spin

Orbit Torque : SOT) や電圧駆動磁化反転 (Voltage-Contorlled Mannetic Anisotropy : VCMA) などの新たな現象の取り込みが必要であり, そのための新規デバイス構造および新規デバイス応用の提案が必要になってくると考えられる. 今後の新たな研究開発により, 垂直磁化方式 STT-MRAM が更に発展することに期待したい.

参考文献

- [1] Yan de Charentenay, “STT-MRAM is moving to large scale commercialization (at last!)”, IEEE International Magnetism Conference (INTERMAG Europe 2017), GA-06, Dublin Ireland, Apr. 2017.
- [2] S. Yu and P.-Y. Chen, “Emerging Memory Technologies: Recent Trends and Prospects”, IEEE Solid-State Circuits Magazine 8, 43 (2016).
- [3] A. D. Kent and D. C. Worledge, “A new spin on magnetic memories”, Nature Nanotechnology 10, 187 (2015).
- [4] Y. -J. Song, G. Jeong, I.-G. Baek, and J. Choi, “What Lies Ahead for Resistance-Based Memory Technologies?”, Computer 46, 30 (2013).
- [5] J. S. Meena, S. M. Sze, U. Chand, and T.-Y. Tseng, “Overview of emerging nonvolatile memory technologies”, Nanoscale Research Letters 9, 526 (2014).
- [6] A. V. Pohm, J. M. Daughton, C. S. Comstock, H. Y. Yoo, and J. Hur, “THRESHOLD PROPERTIES OF 1, 2 AND 4 μm MULTILAYER MAGNETO-RESISTIVE MEMORY CELLS”, IEEE Trans. Magn. 23, 2575 (1987).
- [7] G. Binasch, P. Grünberg, F. Saurenbach, and W. Zinn, “Enhanced magnetoresistance in layered magnetic structures with antiferromagnetic interlayer exchange”, Phys. Rev. B 39, 4828 (1989).
- [8] M.N. Baibich, J.M. Broto, A. Fert, F. Nguyen van Dau, F. Petroff, P. Eitenne, G. Creuzet, A. Friederich, and J. Chazelas, “Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices”, Phys. Rev. Lett. 61, 2472 (1988).
- [9] B. Dieny, V. S. Speriosu, S. S. P. Parkin, B. A. Gurney, D. R. Wilhoit, and D. Mauri, “Giant magnetoresistance in soft ferromagnetic multilayers”, Phys. Rev. B 43, 1297-1301 (1991).
- [10] B. Dieny, V. S. Speriosu, S. Metin, S. S. P. Parkin, B. A. Gurney, P. Baumgart, and D. R. Wilhoit, “Magnetotransport properties of magnetically soft spin-valve structures (invited)”, J. Appl. Phys. 69, 4774 (1991)
- [11] J. M. Daughton, “Magnetoresistive memory technology”, Thin Solid Films 216, 162 (1992).
- [12] M. Julliere, “Tunneling Between Ferromagnetic Films,” Phys. Lett. A 54, 225 (1975).
- [13] T. Miyazaki and N. Tezuka, “Giant magnetic tunneling effect in Fe/Al₂O₃/Fe junction”, J. Magn. Magn. Mater. 139, L231 (1995).
- [14] J. S. Moodera, L. R. Kinder, T. Wong, and R. Meservey, “Large magnetoresistance at room temperature in ferromagnetic thin film tunnel junctions”, Phys. Rev. Lett. 74, 3273 (1995).
- [15] R. Scheuerlein, W. J. Gallagher, S. S. P. Parkin, A. Lee, S. Ray, R. Robertazzi, and W. Rehr, “A 10 ns read and write non-volatile memory array using a magnetic tunnel junction and

- FET switch in each cell”, IEEE International Solid-State Circuits Conference 2000 (ISSCC 2000), Digest of Technical Papers, TA 7.2.
- [16] P. K. Naji, M. Durlam, S. Tehrani, J. Calder, and M. F. DeHerrera, “A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM”, IEEE International Solid-State Circuits Conference 2001(ISSCC 2001). Digest of Technical Papers, 7.6.
- [17] L. Savtchenko, B. N. Engel, N. D. Rizzo, M. F. Deherrera, and J. A. Janesky, “Method of writing to scalable magnetoresistance random access memory element,” U.S. Patent 6,545,906, Apr. 8, 2003.
- [18] M. Durlam, D. Addie, J. Akerman, B. Butcher, P. Brown, J. Chan, M. DeHerrera, B. N. Engel, B. Feil, G. Grynkewich, J. Janesky, M. Johnson, K. Kyler, J. Molla, J. Martin, K. Nagel, J. Ren, N. D. Rizzo, T. Rodriguez, L. Savtchenko, J. Salter, J. M. Slaughter, K. Smith, J. J. Sun, M. Lien, K. Papworth, P. Shah, W. Qin, R. Williams, L. Wise, and S. Tehrani, "A 0.18 μm 4Mb Toggling MRAM," IEDM Tech. Digest, pp. 34.6.1-34.6.3 (2003).
- [19] J. C. Slonczewski, “Current-driven excitation of magnetic multilayers”, J. Magn. Mater. 159, L1 (1996).
- [20] L. Berger, “Emission of spin waves by magnetic multilayer traversed by a current”, Phys. Rev. B. 54, 9353 (1996).
- [21] W. H. Butler, X. G. Zhang, T. C. Schulthess, and J. M. MacLaren, “Spin-dependent tunneling conductance of Fe|MgO|Fe sandwiches”, Phys. Rev. B 63, 054416 (2001).
- [22] J. Mathon and A. Umersky, “Theory of tunneling magnetoresistance of an epitaxial Fe/MgO/Fe(001) junction”, Phys. Rev. B 63, 220403R (2001).
- [23] S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, and K. Ando, “Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junctions”, Nat. Mater. 3, 868 (2004).
- [24] S. S. P. Parkin, C. Kaiser, A. Panchula, P. M. Rice, B. Hughes, M. Samant, and S.-H. Yang, “Giant tunneling magnetoresistance at room temperature with MgO (100) tunnel barriers”, Nat. Mater. 3, 862 (2004).
- [25] R. Meservey and P.M. Tedrow, “Spin-polarized electron tunneling,” Phys. Rep. 238, 173 (1994).
- [26] T. Miyazaki, T. Yaoi, and S. Ishio, “Large magnetoresistance effect in 82Ni-Fe/Al-Al₂O₃/Co magnetic tunneling junction”, J. Magn. Mater. 98, L7 (1991).
- [27] W. J. Gallagher, S. S. P. Parkin, Yu Lu, X. P. Bian, A. Marley, K. P. Roche, R. A. Altman, S. A. Rishton, C. Jahnes, T. M. Shaw, and Gang Xiao, “Microstructured magnetic tunnel junctions”, J. Appl. Phys. 81, 3741 (1997).

- [28] S. S. P. Parkin, R. E. Fontana, and A. C. Marley, “Low-field magnetoresistance in magnetic tunnel junctions prepared by contact masks and lithography: 25% magnetoresistance at 295 K in mega-ohm micron-sized junctions”, *J. Appl. Phys.* 81, 5521 (1997).
- [29] M. Sato and K. Kobayashi, “Spin-valve-like properties and annealing effect in ferromagnetic tunnel junctions”, *IEEE Trans Magn* 33, 3553 (1997).
- [30] R. C. Sousa, J. J. Sun, V. Soares, P. P. Freitas, A. Kling, M. F. da Silva, and J. C. Soares, “Large tunneling magnetoresistance enhancement by thermal anneal”, *Appl. Phys. Lett.* 73, 3288 (1998).
- [31] S. S. P. Parkin, K. P. Roche, M. G. Samant, P. M. Rice, R. B. Beyers, R. E. Scheuerlein, E. J. O’Sullivan, S. L. Brown, J. Bucchigano, D. W. Abraham, Yu Lu, M. Rooks, P. L. Trouilloud, R. A. Wanner, and W. J. Gallagher, “Exchange-biased magnetic tunnel junctions and application to nonvolatile magnetic random access memory”, *J. Appl. Phys.* 85, 5828 (1999).
- [32] S. S. P. Parkin, “Tunneling into the future: magnetic random access memory”, *Intermag conference* 1999.
- [33] H. Kikuchi, M. Sato, and K. Kobayashi, “Effect of CoFe composition of the spin-valvelike ferromagnetic tunnel junction”, *J. Appl. Phys.* 87, 6055 (2000).
- [34] Y. Ando, H. Kubota, M. Hayashi, M. Kamijo, K. Yaoita, A. C. C. Yu, X.-F. Han, and T. Miyazaki, “Annealing Effect on Low-Resistance Ferromagnetic Tunnel Junctions”, *Jpn. J. Appl. Phys.* 39, 5832 (2000).
- [35] H. Kano, K. Bessho, Y. Higo, K. Ohba, M. Hashimoto, T. Mizuguchi, and M. Hosomi, *Intermag Europe 2002 Digest of Technical Papers, Proceedings of the 2002 IEEE International Magnetic Conference, BB04, Amsterdam, Netherlands, 2002.*
- [36] D. Wang, C. Nordman, J. M. Daughton, Z. Qian, and J. Fink, “70% TMR at Room Temperature for SDT Sandwich Junctions With CoFeB as Free and Reference Layers”, *IEEE Trans. Magn.* 40, 2269 (2004).
- [37] H. X. Wei, Q. H. Qin, M. Ma, R. Sharif, and X. F. Han, “80% tunneling magnetoresistance at room temperature for thin Al–O barrier magnetic tunnel junction with CoFeB as free and reference layers”, *J. Appl. Phys.* 101, 09B501 (2007).
- [38] X.-G. Zhang and W. H. Butler, “Large magnetoresistance in bcc Co/MgO/Co and FeCo/MgO/FeCo tunnel junctions,” *Phys. Rev. B* 70, 172407 (2004).
- [39] M. Bowen, M. Bowen, V. Cros, F. Petroff, and A. Fert, “Large magnetoresistance in Fe/MgO/FeCo(001) epitaxial tunnel junctions on GaAs(001)”, *Appl. Phys. Lett.* 79, 1655 (2001).

- [40] J. F. Vincent, C. Tiusan, E. Jouguelet, F. Canet, M. Sajieddine, C. Bellouard, E. Popova, M. Hehn, F. Montaigne, and A. Schuhl, "High tunnel magnetoresistance in epitaxial Fe/MgO/Fe tunnel junctions", *Appl. Phys. Lett.* 82, 4507 (2003).
- [41] S. Yuasa, A. Fukushima, T. Nagahama, K. Ando, and Y. Suzuki, "High Tunnel Magnetoresistance at Room Temperature in Fully Epitaxial Fe/MgO/Fe Tunnel Junctions due to Coherent Spin-Polarized Tunneling", *Jpn. J. Appl. Phys.* 43, L588 (2004).
- [42] D. D. Djayaprawira, K. Tsunekawa, M. Nagai, H. Maehara, S. Yuasa, Y. Suzuki, and K. Ando, "230% room-temperature magnetoresistance in CoFeB/MgO/CoFeB magnetic tunnel junctions," *Appl. Phys. Lett.* 86, 092502 (2005).
- [43] S. Yuasa, A. Fukushima, H. Kubota, Y. Suzuki, and K. Ando, "Giant tunneling magnetoresistance up to 410% at room temperature in fully epitaxial Co/MgO/Co magnetic tunnel junctions with bcc Co(001) electrodes", *Appl. Phys. Lett.* 89, 042505 (2006).
- [44] J. Hayakawa, S. Ikeda, Y. M. Lee, F. Matsukura, and H. Ohno, "Effect of high annealing temperature on giant tunnel magnetoresistance ratio of CoFeB/MgO/CoFeB magnetic tunnel junctions", *Appl. Phys. Lett.* 89, 232510 (2006).
- [45] Y. M. Lee, J. Hayakawa, S. Ikeda, F. Matsukura, and H. Ohno, "Effect of electrode composition on the tunnel magnetoresistance of pseudo-spin-valve magnetic tunnel junction with an MgO tunnel barrier", *Appl. Phys. Lett.* 90, 212507 (2007).
- [46] S. Ikeda, J. Hayakawa, Y. Ashizawa, Y. M. Lee, K. Miura, H. Hasegawa, M. Tsunoda, F. Matsukura, and H. Ohno, "Tunnel magnetoresistance of 604% at 300K by suppression of Ta diffusion in CoFeB/MgO/CoFeB pseudo-spin-valves annealed at high temperature", *Appl. Phys. Lett.* 93, 082508 (2008).
- [47] S. Yuasa and D. D. Djayaprawira, "Giant tunnel magnetoresistance in magnetic tunnel junctions with a crystalline MgO (001) barrier", *J. Phys. D: Appl. Phys.* 40, R337 (2007).
- [48] S. Tehrani, B. Engel, J. M. Slaughter, E. Chen, M. DeHerrera, M. Durlam, P. Naji, R. Whig, J. Janesky, and J. Calder, "Recent developments in magnetic tunnel junction MRAM", *IEEE Trans. Magn.* 36, 2752 (2000).
- [49] M. Durlam, P. Naji, A. Omair, M. DeHerrera, J. Calder, J. M. Slaughter, B. Engel, N. Rizzo, G. Grynkewich, B. Butcher, C. Tracy, K. Smith, K. Kyler, J. Ren, J. Molla, B. Feil, R. Williams, and S. Tehrani "A low power 1Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", *Symposium of VLSI Circuits Digest of Technical Papers*, p.158, Honolulu, USA, 2002.
- [50] M. Durlam, Y. Chung, M. DeHerrera, B. N. Engel, G. Grynkewich, B. Martino, B. Nguyen, J. Salter, P. Shah, and J. M. Slaughter, "MRAM Memory for Embedded and Stand Alone Systems", *Integrated Circuit Design and Technology 2007. ICICDT '07. IEEE International Conference*, pp. 1-4, 2007.

- [51] 吉川将寿, 與田博明, 甲斐正, 浅尾吉昭, 池川純夫, 土田賢二, 波田博光, 田原修一, 「大容量 MRAM 技術の開発 ―新規 MTJ 形状と,精密 MTJ エッチングによる書き込みマージンの拡大―」, 電子情報通信学会信学会技術研究報告, SDM2005-264, p.29-34 (2005).
- [52] M. Durlam, P. Naji, A. Omair, and M. DeHerrera, “A low power 1Mbit MRAM based on IT1MTJ bit cell integrated with copper interconnects”, IEEE VLSI Circuits Symposium Digest of Technical Papers, pp. 158–161, 2002.
- [53] N. Ohshima, K. Shimura, S. Miura, T. Suzuki, R. Nebashi, and H. Hada, "Magnetic Properties and Writing Characteristics of Magnetic Clad Lines in Magnetoresistive Random Access Memory Devices", Jpn. J. Appl. Phys. 47 3456 (2008).
- [54] H. Yoda, T. Kai, T. Inaba, Y. Iwata, N. Shimomura, S. Ikegawa, K. Tsuchida, Y. Asao, T. Kishi, T. Ueda, S. Takahashi, M. Nagamine, T. Kajiyama, M. Yoshikawa, M. Amano, T. Nagase, K. Hosotani, M. Nakayama, Y. Shimizu, H. Aikawa, K. Nishiyama, E. Kitagawa, R. Takizawa, Y. Ueda, M. Iwayama, and K. Itagaki, "1.8 V Power Supply 16 Mb-MRAMs With 42.3% Array Efficiency", IEEE Trans. Magn. 42, 2724 (2006).
- [55] M. Amano, H. Aikawa, T. Kai, Y. Asao, T. Ueda, T. Kishi, M. Yoshikawa, N. Shimomura, S. Ikegawa, T. Kajiyama, K. Hosotani, K. Tsuchida, K. Shimura, S. Miura, H. Hada, S. Tahara, H. Yoda, “Programming current reduction by new protruding yoke wire and its optimization considering MTJ magnetization process”, J. Magn. Magn. Mat., 304 (2006) e261–e263.
- [56] J. Z. Sun, “Current-driven magnetic switching in manganite trilayer junctions”, J. Magn. Magn. Mater. 202, 157 (1999).
- [57] J. Z. Sun, “Spin-current interaction with a monodomain magnetic body: A model study”, Phys. Rev. B, 62, 570 (2000).
- [58] 屋上公次郎, 鈴木義茂, 「スピン注入磁化反転の現状と課題」, まてりあ, 第 42 巻, 第 9 号 (2003).
- [59] J. C. Slonczewski, “Currents, torques, and polarization factors in magnetic tunnel junctions”, Phys. Rev. B, 71, 024411 (2005).
- [60] Z. Diao, Z. Li, S. Wang, Y. Ding, A. Panchula, E. Chen, L.-C. Wang, and Y. Huai, “Spin-transfer torque switching in magnetic tunnel junctions and spin-transfer torque random access memory”, J. Phys.: Condens. Matter 19, 165209 (2003).
- [61] A. V. Khvalkovskiy, D. Apalkov, S. Watts, R. Chepulskii, R. S. Beach, A. Ong, X. Tang, A. Driskill-Smith, W. H. Butler, P. B. Visscher, D. Lottis, E. Chen, V. Nikitin, and M. Krounbi, “Erratum: Basic principles of STT-MRAM cell operation in memory arrays”, J. Phys. D: Appl. Phys. 46, 074001 (2013).

- [62] W. F. Brown, "Thermal Fluctuations of a Single-Domain Particle", *Phys. Rev.* 130, 1677 (1963).
- [63] L. Neel, "Influence des fluctuations thermiques a l'aimantation des particules ferromagnetiques," *C. R. Acad. Sci.* 228, 664 (1949).
- [64] R. H. Koch, J. A. Katine, and J. Z. Sun, "Time-resolved Reversal of Spin-Transfer Switching in a Nanomagnet", *Phys. Rev. Lett.* 92, 088302 (2004).
- [65] E. B. Myers, F. J. Albert, J. C. Sankey, E. Bonet, R. A. Buhrman, and D. C. Ralph, "Thermally Activated Magnetic Reversal Induced by a Spin-Polarized Current", *Phys. Rev. Lett.* 89, 196801 (2002).
- [66] Z. Li and S. Zhang, "Thermally assisted magnetization reversal in the presence of a spin-transfer torque", *Phys. Rev. B* 69, 134416 (2004).
- [67] G. Jeong, W. Cho, S. Ahn, H. Jeong, G. Koh, Y. Hwang, and K. Kim, "A 0.24- μ m 2.0-V 1T1MTJ 16-kb nonvolatile magnetoresistance RAM with self-reference sensing scheme," *IEEE J. Solid-State Circuits*, 38, 1906 (2003).
- [68] Y. Chen, H. Li, X. Wang, W. Zhu, W. Xu, and T. Zhang, "A nondestructive self-reference scheme for Spin-Transfer Torque Random Access Memory (STT-RAM)", 2010 Design, Automation & Test in Europe Conference & Exhibition, Dresden, Germany, 8-12 March 2010.
- [69] Z. Sun, H. Li and X. Wang, "Magnetic tunnel junction design margin exploration for self-reference sensing scheme", *J. Appl. Phys.* 111, 07C726 (2012)
- [70] R. Scheuerlein, W. J. Gallagher, S. S. P. Parkin, A. Lee, S. Ray, R. Robertazzi, and W. Reohr, "A 10-ns read and write nonvolatile memory array using a magnetic tunnel junction and FET switch in each cell", *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 128-129, Feb. 2000.
- [71] M. Aoki, H. Iwasa, and Y. Sato, "A novel voltage sensing 1T/2MTJ cell with resistance ratio for highly stable and capable MRAM", *Proc. Symp. VLSI Circuits Dig. Tech. Papers*, Jun. 2005, pp. 170–171.
- [72] M. Tsoi, A. G. M. Jansen, J. Bass, W. -C. Chiang, M. Seck, V. Tsoi, and P. Wyder: "Excitation of a Magnetic Multilayer by an Electric Current", *Phys. Rev. Lett.* 80, 4281 (1998).
- [73] M. Tsoi, A. G. M. Jansen, J. Bass, W.-C. Chiang, M. Seck, V. Tsoi, and P. Wyder, "Excitation of a Magnetic Multilayer by an Electric Current", *Phys. Rev. Lett.* 81, 493 (1998).
- [74] J. A. Katine, F. J. Albert, R. A. Buhrman, E. B. Mayers, and D. C. Ralph: "Current-Driven Magnetization Reversal and Spin-Wave Excitations in Co/Cu/Co Pillars", *Phys. Rev. Lett.* 84, 3149 (2000).
- [75] F. J. Albert, J. A. Katine, and R. A. Buhrman, "Spin-polarized current switching of a Co thin film nanomagnet", *Appl. Phys. Lett.* 77, 3809 (2000).

- [76] K. Yagami, A. A. Tulapurkar, A. Fukushima, and Y. Suzuki, *J. Appl. Phys.* 97, 10C707 (2005).
- [77] Y. Huai, F. Albert, P. Nguyen, M. Pakala, and T. Valet, "Observation of spin-transfer switching in deep submicron-sized and low-resistance magnetic tunnel junctions", *Appl. Phys. Lett.* 84, 3118 (2004).
- [78] Z. Diao, M. Pakala, A. Panchula, Y. Ding, D. Apalkov, L. Wang, E. Chen, and Y. Huai, "Spin-transfer switching in MgO-based magnetic tunnel junctions", *J. Appl. Phys.*, 99, 08G510 (2006).
- [79] Y. Higo, K. Yamane, K. Ohba, H. Narisawa, K. Bessho, M. Hosomi, and H. Kano, "Thermal activation effect on spin transfer switching in magnetic tunnel junctions", *Appl. Phys. Lett.* 87, 082502 (2005).
- [80] M. Hosomi, H. Yamagishi, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano, "A novel nonvolatile memory with spin torque transfer magnetization switching : Spin-RAM", 2005 IEEE International Electron Devices Meeting (IEDM) Technical Digest, pp.459-462, December 2005.
- [81] M. Yoshikawa, T. Kai, M. Amano, E. Kitagawa, T. Nagase, M. Nakayama, S. Takahashi, T. Ueda, T. Kishi, K. Tsuchida, S. Ikegawa, Y. Asao, and H. Yoda, "Bit yield improvement by precise control of stray fields from SAF pinned layers for high density MRAMs", *J. Appl. Phys.* 97, 10P508 (2005).
- [82] S. Takahashi, T. Kai, N. Shimomura, T. Ueda, M. Amano, M. Yoshikawa, E. Kitagawa, Y. Asao, S. Ikegawa, T. Kishi, H. Yoda, K. Nagahara, T. Mukai, and H. Hada, *IEEE Trans. Magn.* 42, 2475 (2006).
- [83] D. C. Worledge and P. L. Trouilloud, "Magnetoresistance measurement of unpatterned magnetic tunnel junction wafers by current-in-plane tunneling," *Appl. Phys. Lett.* 83, 84 (2003).
- [84] W. F. Brown, "Thermal Fluctuations of a Single-Domain Particle", *Phys. Rev.* 130 1677 (1963).
- [85] E. C. Stoner and E. P. Wohlfarth, "A mechanism of magnetic hysteresis in heterogeneous alloys", *Philos. Trans. R. Soc. London, Ser. A* 240, 599 (1948)
- [86] D. Lacour, J. A. Katine, N. Smith, M. J. Carey, and J. R. Childress, *Appl. Phys. Lett.* 85, 4681 (2004).
- [87] G. D. Fuchs, I. N. Krivorotov, P. M. Braganca, N. C. Emley, A. G. F. Garcia, D. C. Ralph, and R. A. Buhrman, "Adjustable spin torque in magnetic tunnel junctions with two fixed layers", *Appl. Phys. Lett.* 86, 152509 (2005).
- [88] J. Z. Sun, M. C. Gaidis, G. Hu, E. J. O'Sullivan, S. L. Brown, J. J. Nowak, P. L. Trouilloud, and D. C. Worledge, "High-bias back-hopping in nanosecond time-domain spin-torque

- switches of MgO-based magnetic tunnel junctions”, J. Appl. Phys. 105, 07D109 (2009).
- [89] T. Min, J. Z. Sun, R. Beach, D. Tang, and P. Wang, “Back-hopping after spin torque transfer induced magnetization switching in magnetic tunneling junction cells”, J. Appl. Phys. 105, 07D126 (2009).
- [90] M. Frankowski, M. Czapkiewicz, W. Skowroński, and T. Stobiecki, “Micromagnetic model for studies on Magnetic Tunnel Junction switching dynamics, including local current density”, Physica B 435, 105 (2014).
- [91] W. Skowroński, P. Ogrodnik, J. Wrona, T. Stobiecki, R. Świrkowicz, J. Barnaś, G. Reiss, and S. van Dijken, “Back-hopping effect in magnetic tunnel junctions: Comparison between theory and experiment”, J. Appl. Phys. 114, 233905 (2013).
- [92] I. Theodonis, N. Kioussis, A. Kalitsov, M. Chshiev, and W. H. Butler, “Anomalous Bias Dependence of Spin Torque in Magnetic Tunnel Junctions”, Phys. Rev. Lett. 97, 237205 (2006).
- [93] H. Kubota, A. Fukushima, K. Yakushiji, T. Nagahama, S. Yuasa, K. Ando, H. Maehara, Y. Nagamine, K. Tsunekawa, D. D. Djayaprawira, N. Watanabe, and Y. Suzuki, “Quantitative measurement of voltage dependence of spin-transfer torque in MgO-based magnetic tunnel junctions”, Nature Phys. 4, 37 (2008).
- [94] C. Wang, Y. -T. Cui, J. A. Katine, R. A. Buhrman, and D. C. Ralph, “Time-resolved measurement of spin-transfer-driven ferromagnetic resonance and spin torque in magnetic tunnel junctions”, Nature Phys. 7, 496 (2011).
- [95] L. Xue, C. Wang, Y. -T. Cui, J. A. Katine, R. A. Buhrman, and D. C. Ralph, “Network analyzer measurements of spin transfer torques in magnetic tunnel junctions”, Appl. Phys. Lett. 101, 022417 (2012).
- [96] S. -C. Oh, S. -Y. Park, A. Manchon, M. Chshiev, J. -H. Han, H. -W. Lee, J. -E. Lee, K. -T. Nam, Y. Jo, Y. -C. Kong, B. Dieny, and K. -J. Lee, “Bias-voltage dependence of perpendicular spin-transfer torque in asymmetric MgO-based magnetic tunnel junctions”, Nature Phys. 5, 898 (2009).
- [97] Y. Huai, M. Pakala, Z. Diao, and Y. Ding, “Spin transfer switching current reduction in magnetic tunnel junction based dual spin filter structures”, Appl. Phys. Lett. 87, 222510 (2005).
- [98] Z. Diao, A. Panchula, Y. Ding, M. Pakala, S. Wang, Z. Li, D. Apalkov, H. Nagai, A. Driskill-Smith, L. Wang, E. Chen, and Y. Huai, “Spin transfer switching in dual MgO magnetic tunnel junctions”, Appl. Phys. Lett. 90, 132508 (2007).
- [99] A. D. Kent, “A nanomagnet oscillator”, Nature Materials, 6, 399 (2007).
- [100] A. D. Kent, B. Özyilmaz, and E. del Barco, “Spin-transfer-induced precessional magnetization reversal”, Appl. Phys. Lett. 84, 3897 (2004).

- [101] S. Mangin, D. Ravelosona, J. A. Katine, M. J. Carey, B. D. Terris, and E. E. Fullerton, "Current-induced magnetization reversal in nanopillars with perpendicular anisotropy", *Nat. Mater.* 5, 210 (2006).
- [102] H. Meng and J.-P. Wang, "Spin transfer in nanomagnetic devices with perpendicular anisotropy", *Appl. Phys. Lett.* 88, 172506 (2006)
- [103] H. Yoda, Y. Suzuki, Y. Nakatani, Y. Ando, S. Yuasa, S. Ikegawa, and T. Kishi, "Potential of MRAM for High speed & High Density Application", 7th IWFIP, Session III c, Sep. 2007.
- [104] H. Yoda, T. Kishi, T. Kai, T. Nagase, M. Yoshikawa, M. Nakayama, E. Kitagawa, M. Amano, H. Aikawa, N. Shimomura, K. Nishiyama, T. Daibou, S. Takahashi, S. Ikegawa, K. Yakushiji, T. Nagahama, H. Kubota, A. Fukushima, S. Yuasa, Y. Nakatani, M. Oogane, Y. Ando, Y. Suzuki, K. Ando, and T. Miyazaki., "Spin Torque Transfer Switching of Perpendicular Magnetoresistive elements for High Density MRAMs", *Intermag 2008 Digest*, FA-04 (2008).
- [105] H. Yoda, T. Kishi, T. Nagase, M. Yoshikawa, K. Nishiyama, E. Kitagawa, T. Daibou, M. Amano, N. Shimomura, S. Takahashi, T. Kai, M. Nakayama, H. Aikawa, S. Ikegawa, M. Nagamine, J. Ozeki, S. Mizukami, M. Oogane, Y. Ando, S. Yuasa, K. Yakushiji, H. Kubota, Y. Suzuki, Y. Nakatani, T. Miyazaki, and K. Ando, "High efficient spin transfer torque writing on perpendicular magnetic tunnel junctions for high density MRAMs", *Current Appl. Phys.* 10, e87 (2010).
- [106] N. Nishimura, T. Hirai, A. Koganei, T. Ikeda, K. Okano, Y. Sekiguchi, and Y. Osada, "Magnetic tunnel junction device with perpendicular magnetization films for high density magnetic random access memory", *J. Appl. Phys.*, 91, 5246 (2002).
- [107] M. Nakayama, T. Kai, N. Shimomura, M. Amano, E. Kitagawa, T. Nagase, M. Yoshikawa, T. Kishi, S. Ikegawa, and H. Yoda, "Spin transfer switching in TbCoFe/CoFeB/MgO/CoFeB/TbCoFe magnetic tunnel junctions with perpendicular magnetic anisotropy", *J. Appl. Phys.*, 103, 07A710 (2008).
- [108] T. Nagase, K. Nishiyama, M. Nakayama, N. Shimomura, M. Amano, T. Kishi, and H. Yoda, "Spin transfer torque switching in perpendicular magnetic tunnel junctions with Co based multilayer", *American Physics Society March Meeting*, New Orleans, 2008.
- [109] J. H. Park, C. Park, T. Jeong, M. T. Moneck, N. T. Nufer, and J.-G. Zhu, "Co/Pt multilayer based magnetic tunnel junctions using perpendicular magnetic anisotropy", *Journal of Applied Physics* 103, 07A917 (2008).
- [110] D. Weller, A. Moser, L. Folks, M.E. Best, Wen Lee, M.F. Toney, M. Schwickert, J.-U. Thiele, and M.F. Doerner, "High Ku materials approach to 100 Gbits/in²", *IEEE Trans. Magn.* 36, 10 (2000).

- [111] T. Klemmer, D. Hoydick, H. Okumura, B. Zhang, and W. A. Soffa, "Magnetic hardening and coercivity mechanisms in $L1_0$ ordered FePd ferromagnets," *Scripta Metallurgica et Materialia*, 33, 1793 (1995).
- [112] P. Villas, L.D. Calvert, Pearson's Handbook of Crystallographic Data for Intermetallic Phase, vol. 4, ASM Information, 1991.
- [113] A. Sakuma, "First Principle Calculation of the Magnetocrystalline Anisotropy Energy of FePt and CoPt ordered alloy," *J. Phys. Soc. Jpn.* 63, 3053 (1994).
- [114] T. Moriyama, S. Mitani, T. Seki, T. Shima, K. Takahashi, and A. Sakuma, "Magnetic tunnel junctions with $L1_0$ -ordered FePt alloy electrodes," *J. Appl. Phys.* 95, 6789(2004)
- [115] S. Yuasa, T. Nagahama, and Y. Suzuki, "Spin-Polarized Resonant Tunneling in Magnetic Tunnel Junctions", *Science* 297, 234 (2002).
- [116] E. Kitagawa, M. Yoshikawa, T. Nagase, T. Daibou, K. Nishiyama, M. Nagamine, T. Kishi, and H. Yoda, " $L1_0$ ordered FePtB thin films with small distribution of perpendicular magnetic anisotropy," 2009 Intermag conference, HA-03, 2009.
- [117] Y. Taniguchi, Y. Oba, Y. Miura, K. Abe, and M. Shirai, "A first-principal study of electronic and transport properties of FePt/MgO/FePt magnetic tunnel junctions," in Abstract of 6th Int. Symp. Metallic Multilayers, 2007, p. 71, TUE-06.
- [118] Y. Taniguchi, K. Abe, and M. Shirai, "Theoretical studies on spin-dependent conductance in FePt/MgO/FePt(001) magnetic tunnel junctions," Intermag Europe 2008 Conference, AC-12, Madrid, Spain.
- [119] Y. Taniguchi, Y. Miura, K. Abe and M. Shirai, "Theoretical Studies on Spin-Dependent Conductance in FePt/MgO/FePt(001) Magnetic Tunnel Junctions", *IEEE Trans. Magn.*, 44, 2585 (2008).
- [120] T. Seki, S. Mitani, K. Yakushiji, and K. Takanashi, "Spin-polarized current-induced magnetization reversal in perpendicularly magnetized $L1_0$ -FePt layers", *Appl. Phys. Lett.* 88, 172504 (2006).
- [121] K. Yakushiji, K. Yakushiji, S. Yuasa, T. Nagahama, A. Fukushima, H. Kubota, T. Katayama, and K. Ando, "Spin-Transfer Switching and Thermal Stability in an FePt/Au/FePt Nanopillar Prepared by Alternate Monatomic Layer Deposition", *Applied Physics Express* 1, 041302 (2008).
- [122] V. Kamberský, "On the Landau–Lifshitz relaxation in ferromagnetic metals", *Can. J. Phys.* 48, 2906 (1970).
- [123] V. Kamberský, "ON FERROMAGNETIC RESONANCE DAMPING IN METALS", *Czech. J. Phys.* 26, 1366 (1976).
- [124] V. Kamberský, "Spin-orbital Gilbert damping in common magnetic metals", *Phys. Rev. B* 76, 134416 (2007).

- [125] JCPDS-International Centre of Diffraction Data (1999).
- [126] T. Shima, K. Takanashi, Y. K. Takahashi, and K. Hono, "Preparation and magnetic properties of highly coercive FePt films", *Appl. Phys. Lett.* 81, 1050 (2002).
- [127] H. Koike, T. Ohsawa, S. Miura, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, "Wide operational margin capability of 1 kbit spin-transfer-torque memory array chip with 1-PMOS and 1-bottom-pin-magnetic-tunnel-junction type cell", *Jpn. J. Appl. Phys.* 53, 04ED13 (2014).
- [128] S. Rao, W. Kim, S. Couet, J. Swerts, S. Mertens, T. Lin, L. Souriau, S. Kundu, D. Tsvetanova, D. Crotti, F. Yasin, S. Sakhare, A. Furnemont, and G. S. Kar, "Thermal stability and switching performance metrics of top-pinned STT-MRAM devices with CMOS-compatible dual MgO MTJ stacks", *IEEE International Magnetism Conference (INTERMAG Europe 2017)*, HO-08, Dublin Ireland, Apr. 2017.
- [129] J. Swerts, S. Couet, E. Liu, S. Mertens, T. Lin, S. Rao, W. Kim, S. van Elshocht, A. Furnemont, and G. S. Kar, "Top pinned magnetic tunnel junction stacks with high annealing tolerance for high density STT-MRAM applications", *IEEE International Magnetism Conference (INTERMAG Europe 2017)*, CF-04, Dublin Ireland, Apr. 2017.
- [130] 水上成美, 甲斐正, E.P.Sajitha, 渡邊大輔, F. Wu, 永沼博, 大兼幹彦, 與田博明, 安藤康夫, 宮崎照宣, 「垂直磁化 Fe 系合金薄膜のダンピング定数の光学的評価」, 第 70 回応用物理学会学術講演会, 10a-ZD-17, 富山大学, 2009 年 9 月 10 日.
- [131] 水上成美, 甲斐正, E.P.Sajitha, 渡邊大輔, F. Wu, 永沼博, 大兼幹彦, 與田博明, 安藤康夫, 宮崎照宣, 「Fe 基合金垂直磁化膜のスピンダイナミクス」, 第 33 回日本応用磁気学会学術講演会, 14pA-8, 長崎大学, 2009 年 9 月 14 日.
- [132] S. Iihama, A. Sakuma, H. Naganuma, M. Oogane, T. Miyazaki, S. Mizukami, and Y. Ando, "Low precessional damping observed for L10-FePd epitaxial thin film with large magnetic anisotropy", *Appl. Phys. Lett.* 105, 142403 (2014).
- [133] M. P. Sharrock, "Time-dependent magnetic phenomena and particle-size effects in recording media", *IEEE Trans. Magn.* 26, 193 (1990).
- [134] 中山昌彦, 久保田均, 岸達也, 甲斐正, 相川尚徳, 吉川将寿, 池川純夫, 與田博明, 湯浅新治, 安藤功兒, 鈴木義茂, 「Fe 系 L1₀ 規則合金を用いた垂直磁化 MTJ の低ダンピング定数」, 第 33 回日本応用磁気学会学術講演会, 長崎大学, 2009 年 9 月 14 日.
- [135] 北川英二, 吉川将寿, 永瀬俊彦, 大坊忠臣, 長嶺 真, 西山勝哉, 甲斐正, 下村尚治, 中山昌彦, 岸達也, 與田博明, 「L1₀-FePd を用いた垂直 MTJ における低電流磁化反転」, 第 70 回応用物理学会学術講演会, 10a-ZD-4, 富山大学, 2009 年 9 月 10 日.

- [136] 相川尚特, 中山昌彦, 下村尚治, 小瀬木淳一, 岸達也, 甲斐正, 池川純夫, 與田博明, 「垂直磁化方式 MTJ の磁気相図と誤書き込みロバスト性」, 第 70 回応用物理学会学術講演会, 10a-ZD-6, 富山大学, 2009 年 9 月 10 日.
- [137] S. Okamoto, O. Kitakami, N. Kikuchi, T. Miyazaki, Y. Shimada, and Y. K. Takahashi, "Size dependences of magnetic properties and switching behavior in FePt L1₀ nanoparticles", *Pys. Rev. B* 67, 094422 (2003).
- [138] 甲斐正, 小瀬木淳一, 中山昌彦, 相川尚徳, 池川純夫, 與田博明, 「垂直磁化方式 スピン注入MRAMのスケラビリティ」, 第32回日本応用磁気学会学術講演会, 2008 年9月15日.
- [139] T. Kai, J. Ozeki, M. Nakayama, H. Aikawa, S. Ikegawa, and H. Yoda, "Advantage of Perpendicular MRAM using Spin Transfer Torque Switching for a high density non-volatile memory", 2008 MMM Conference, DC-07, Austin, USA, Nov. 2008.
- [140] 中山昌彦, 薬師寺啓, 池川純夫, 湯浅新治, 甲斐正, 永瀬俊彦, 天野実, 相川尚徳, 岸達也, 與田博明, 「磁気抵抗効果素子の設計方法及び磁気ランダムアクセスメモリの設計方法」, 特許第 4538614 号, 平成 22 年 7 月 2 日登録.
- [141] M. Nakayama, T. Kai, H. Yoda, S. Ikegawa, T. Nagase, H. Aikawa, and N. Shimomura, "Stable Spin transfer switching in magnetic tunnel junctions with perpendicular magnetic anisotropy", 2008 MMM Conference, EB-12, Austin, USA, Nov. 2008.
- [142] M. Nakayama, K. Yakushiji, S. Ikegawa, S. Yuasa, T. Kai, T. Nagase, M. Amano, H. Aikawa, T. Kishi, and H. Yoda, "Magnetoresistive effect element and magnetic random access memory", U.S. Patent 8,378,437, Feb.19, 2013.
- [143] A. Hubert and R. Schäfer, "Magnetic Domains", 2nd ed. (Springer-Verlag, Berlin, 1998).
- [144] G. D. Chaves-O'Flynn, G. Wolf, J. Z. Sun, and A. D. Kent, "Thermal Stability of Magnetic States in Circular Thin-Film Nanomagnets with Large Perpendicular Magnetic Anisotropy", *Phys. Rev. Appl.* 4, 024010 (2015).
- [145] 永瀬俊彦, 西山勝哉, 中山昌彦, 吉川将寿, 北川英二, 「高 TMR 比垂直磁化方式 トンネル接合」, 第 33 回日本応用磁気学会学術講演会, 長崎大学, 2009 年 9 月 14 日.
- [146] 西山勝哉, 永瀬俊彦, 中山昌彦, 天野 実, 吉川将寿, 甲斐 正, 與田博明, 「垂直磁化方式 TMR 素子の高 TMR 化」, 第 70 回応用物理学会学術講演会, 8a-ZD-7, 金沢大学, 2009 年 9 月 8 日.
- [147] 吉川将寿, 北川英二, 大坊忠臣, 永瀬俊彦, 岸達也, 與田博明, 「磁気抵抗効果素子およびそれを用いた磁気ランダムアクセスメモリ」, 特許第 4738395 号, 2011 年 5 月 13 日登録.

- [148] M. Yoshikawa, E. Kitagawa, T. Daibou, T. Nagase, T. Kishi, and H. Yoda, “Magnetoresistive element and Magnetoresistive Random Access Memory including the same”, U.S. Patent 7,768,824 B2, Aug. 3, 2010.
- [149] L. Cuchet, B. Rodmacq, S. Auffret, R. C. Sousa, C. Ducruet, and B. Dieny, “Influence of a Ta spacer on the magnetic and transport properties of perpendicular magnetic tunnel junctions,” *Appl. Phys. Lett.* 103, 052402 (2013).
- [150] S. Ishikawa, H. Sato, , M. Yamanouchi, S. Ikeda, S. Fukami, F. Matsukura, and H. Ohno, “Co/Pt multilayer-based magnetic tunnel junctions with a CoFeB/Ta insertion layer,” *J. Appl. Phys.* 115, 17C719 (2014).
- [151] S. Ikeda, K. Miura, H. Yamamoto, K. Mizunuma, H. D. Gan, M. Endo, S. Kanai, J. Hayakawa, F. Matsukura, and H. Ohno, “A perpendicular-anisotropy CoFeB–MgO magnetic tunnel junction,” *Nature Materials* 9, 721 (2010).
- [152] L. Thomas, G. Jan, S. Serrano-Guisan, S. Le, J Iwata-Harms, J. Zhu, Y. -J. Lee, H. Liu, R. -Y. Tong, S. Patel, V. Sundar, D. Shen, J. Haq, Y. Yang, J. Teng, R. He, V. Lam, P. Liu, T. Zhong, A. Wang, T. Torng, and P. -K. Wang, “High perpendicular anisotropy in sub-30 nm MRAM devices measured by spintorque ferromagnetic resonance”, *IEEE International Magnetism Conference (INTERMAG Europe 2017)*, CF-06, Dublin Ireland, Apr. 2017.

本論文に関する研究業績

論文

- [1] M. Yoshikawa, T. Ueda, H. Aikawa, N. Shimomura, E. Kitagawa, M. Nakayama, T. Kai, K. Nishiyama, T. Nagase, T. Kishi, S. Ikegawa, and H. Yoda, "Estimation of spin transfer torque effect and thermal activation effect on magnetization reversal in CoFeB/MgO/CoFeB magnetoresistive tunneling junctions", J. Appl. Phys. 101, 09A511 (2007).
- [2] M. Yoshikawa, E. Kitagawa, T. Nagase, T. Daibou, M. Nagamine, K. Nishiyama, T. Kishi, and H. Yoda, "Tunnel Magnetoresistance Over 100% in MgO-Based Magnetic Tunnel Junction Films With Perpendicular Magnetic L1₀-FePt Electrodes ", IEEE Trans. Magn. 44, 2573 (2008).

国際学会発表

- [1] M. Yoshikawa, T. Ueda, H. Aikawa, E. Kitagawa, M. Nakayama, T. Kai, K. Nishiyama, T. Nagase, T. Kishi, S. Ikegawa, and H. Yoda, "Estimation of spin transfer torque effect and thermal effect of magnetization reversal in CoFeB/MgO/CoFeB magnetoresistive tunneling junctions", 10th Joint MMM-Intermag Conference, AW-06, Baltimore, Maryland, USA, Jan. 2007.
- [2] M. Yoshikawa, E. Kitagawa, T. Nagase, T. Daibou, M. Nagamine, K. Nishiyama, T. Kishi, and H. Yoda, "Tunnel magnetoresistance over 100 % in MgO based magnetic tunnel junction films with perpendicular magnetic L1₀-FePt electrodes", IEEE International Magnetic Conference(Intermag Europe 2008), AC-01, Madrid, Spain, May 2008.

国内学会・研究会発表

- [1] 吉川将寿, 北川英二, 大坊忠臣, 永瀬俊彦, 中山昌彦, 甲斐正, 岸達也, 與田博明, 「垂直磁化L1₀-FePd記憶層のスピン注入磁化反転」, 第33回日本応用磁気学会学術講演会, 14pA-6, 長崎大学, 2009年9月14日.

本論文に関連する登録特許

日本登録特許

- [1] 吉川将寿, 北川英二, 大坊忠臣, 永瀬俊彦, 岸達也, 與田博明, 「磁気抵抗効果素子およびそれを用いた磁気ランダムアクセスメモリ」, 特許第 4738395 号, 2011 年 5 月 13 日登録.
- [2] 吉川将寿, 北川英二, 大坊忠臣, 永瀬俊彦, 岸達也, 與田博明, 「磁気抵抗効果素子およびそれを用いた磁気ランダムアクセスメモリ」, 特許第 5172808 号, 2013 年 1 月 11 日登録.
- [3] 吉川将寿, 北川英二, 大坊忠臣, 永瀬俊彦, 岸達也, 與田博明, 「磁気抵抗効果素子およびそれを用いた磁気ランダムアクセスメモリ」, 特許第 5367739 号, 2013 年 9 月 20 日登録.
- [4] 吉川将寿, 甲斐正, 永瀬俊彦, 北川英二, 岸達也, 與田博明, 「磁気抵抗効果型素子および磁気抵抗効果型ランダムアクセスメモリ」, 特許第 4496189 号, 2010 年 4 月 16 日登録.

米国登録特許

- [1] M. Yoshikawa, E. Kitagawa, T. Daibou, T. Nagase, T. Kishi and H. Yoda, “Magnetoresistive element and Magnetoresistive random access memory including the same”, U.S. Patent 7,768,824 B2, Aug. 3, 2010.
- [2] M. Yoshikawa, E. Kitagawa, T. Daibou, T. Nagase, T. Kishi and H. Yoda, “Magnetoresistive element and Magnetoresistive random access memory including the same”, U.S. Patent 7,957,184 B2, Jun. 7, 2011.
- [3] M. Yoshikawa, E. Kitagawa, T. Daibou, T. Nagase, T. Kishi and H. Yoda, “Magnetoresistive element and Magnetoresistive random access memory including the same”, U.S. Patent 8,139,405 B2, Mar. 20, 2012.
- [4] M. Yoshikawa, E. Kitagawa, T. Daibou, T. Nagase, T. Kishi and H. Yoda, “ Magnetoresistive element and Magnetoresistive random access memory including the same”, U.S. Patent 8,154,915 B2, Apr. 10, 2012.
- [5] M. Yoshikawa, T. Kai, T. Nagase, E. Kitagawa, T. Kishi and H. Yoda, “ Magnetoresistive effect device and Magnetic random access memory using the same”, U.S. Patent 7,848,059 B2, Dec. 7, 2010.

- [6] M. Yoshikawa, T. Kai, T. Nagase, E. Kitagawa, T. Kishi and H. Yoda, “ Magnetoresistive effect element with intermediate oxide layer containing Boron and an element selected from Ca, Mg, Sr, Ba, Ti , and Sc”, U.S. Patent 7,920,361 B2, Apr. 5, 2011.

参考：共著論文・共著発表

共著論文

- [1] T. Kishi, H. Yoda, T. Kai, T. Nagase, E. Kitagawa, M. Yoshikawa, K. Nishiyama, T. Daibou, M. Nagamine, M. Amano, S. Takahashi, M. Nakayama, N. Shimomura, H. Aikawa, S. Ikegawa, S. Yuasa, K. Yakushiji, H. Kubota, A. Fukushima, M. Oogane, T. Miyazaki, and K. Ando, "Lower-current and Fast Switching of a Perpendicular TMR for High Speed and High Density Spin-Transfer-Torque MRAM", 2008 IEEE International Electron Devices Meeting (IEDM) Technology Digests, pp. 309-312, 2008.
- [2] H. Yoda, T. Kishi, T. Nagase, M. Yoshikawa, K. Nishiyama, E. Kitagawa, T. Daibou, M. Amano, N. Shimomura, S. Takahashi, T. Kai, M. Nakayama, H. Aikawa, S. Ikegawa, M. Nagamine, J. Ozeki, S. Mizukami, M. Oogane, Y. Ando, S. Yuasa, K. Yakushiji, H. Kubota, Y. Suzuki, Y. Nakatani, T. Miyazaki, and K. Ando, "High efficient spin transfer torque writing on perpendicular magnetic tunnel junctions for high density MRAMs", Current Appl. Phys. 10, e87 (2010).
- [3] M. Nakayama, T. Kai, N. Shimomura, M. Amano, E. Kitagawa, T. Nagase, M. Yoshikawa, T. Kishi, S. Ikegawa, and H. Yoda, "Spin transfer switching in TbCoFe/CoFeB/MgO/CoFeB/TbCoFe magnetic tunnel junctions with perpendicular magnetic anisotropy", J. Appl. Phys., 103, 07A710 (2008).
- [4] H. Tomita, T. Nozaki, T. Seki, T. Nagase, K. Nishiyama, E. Kitagawa, M. Yoshikawa, T. Daibou, M. Nagamine, T. Kishi, S. Ikegawa, N. Shimomura, H. Yoda, and Y. Suzuki, "High-speed spin-transfer switching in GMR nano-pillars with perpendicular anisotropy", IEEE Tran. Mag. 47, 1599 (2011).

共著国際学会発表

- [1] T. Kishi, H. Yoda, T. Kai, T. Nagase, E. Kitagawa, M. Yoshikawa, K. Nishiyama, T. Daibou, M. Nagamine, M. Amano, S. Takahashi, M. Nakayama, N. Shimomura, H. Aikawa, S. Ikegawa, S. Yuasa, K. Yakushiji, H. Kubota, A. Fukushima, M. Oogane, T. Miyazaki, and K. Ando, "Lower-current and fast switching of a perpendicular TMR for high speed and high density spin-transfer-torque MRAM", 2008 International Electron Devices Meeting (IEDM2008), Session12, 12.6, San Francisco, CA, Dec. 2008.
- [2] E. Kitagawa, M. Yoshikawa, T. Nagase, T. Daibou, K. Nishiyama, M. Nagamine, T. Kishi, and H. Yoda, "L₁₀ ordered FePtB thin films with small distribution of perpendicular magnetic anisotropy", 2009 Intermag conference, HA-03, 2009.

- [3] T. Daibou, M. Yoshikawa, E. Kitagawa, T. Nagase, K. Nishiyama, M. Nagamine, M. Amano, M. Nakayama, T. Kai, T. Kishi, and H. Yoda, "Spin transfer torque switching in perpendicular magnetic tunnel junctions using $L1_0$ -ordered FePd electrodes", 11th Joint MMM/Intermag Conference, Abstracts, p.810, Washington, DC, Jan. 2010.
- [4] K. Nishiyama, T. Nagase, M. Nakayama, M. Yoshikawa, E. Kitagawa, T. Daibou, M. Nagamine, T. Kai, and H. Yoda, "Large tunnel magnetoresistance of over 200% in MgO-based magnetic tunnel junction with perpendicular magnetic anisotropy", 11th Joint MMM-Intermag Conference 2010, EF-07, Abstract, p.1089, Washington, DC, Jan. 2010.
- [5] H. Yoda, T. Kishi, T. Kai, T. Nagase, M. Yoshikawa, M. Nakayama, E. Kitagawa, M. Amano, H. Aikawa, N. Shimomura, K. Nishiyama, T. Daibou, S. Takahashi, S. Ikegawa, K. Yakushiji, T. Nagahama, H. Kubota, A. Fukushima, S. Yuasa, Y. Nakatani, M. Oogane, Y. Ando, Y. Suzuki, K. Ando, and T. Miyazaki, "Spin Torque Transfer Switching of Perpendicular Magnetoresistive elements for High Density MRAMs", Intermag 2008 Digest, FA-04, 2008.
- [6] S. Ikegawa, H. Aikawa, N. Shimomura, T. Ueda, T. Kai, M. Nakayama, M. Iwayama, H. Yoda, M. Yoshikawa, and Y. Asao, "Pulse duration dependence and effective energy barrier for current-induced magnetization switching in MgO-based tunnel junctions", 6th International Symposium on Metallic Multilayers (IEEE MML2007), TUE-16, Perth, Australia, Oct. 2007.
- [7] S.-W. Chung, T. Kishi, J.W. Park, M. Yoshikawa, K. S. Park, T. Nagase, K. Sunouchi, H. Kanaya, G.C. Kim, K. Noma, M. S. Lee, A. Yamamoto, K. M. Rho, K. Tsuchida, S. J. Chung, J. Y. Yi, H. S. Kim, Y.S. Chun, H. Oyamatsu, and S. J. Hong, "4Gbit density STT-MRAM using perpendicular MTJ realized with compact cell structure", 2016 IEEE International Electron Devices Meeting (IEDM2016), Session27, 27-1, San Francisco USA, Dec. 2016.
- [8] T. Kishi, M. Yoshikawa, T. Nagase, H. Aikawa, S. Chung, J. Park, H. Kanaya, K. Park, G. Kim, M. Lee, K. Sunouchi, A. Yamamoto, K. Rho, Kz. Tsuchida, S. Chung, J. Yi, H. Kim, Y. Chun, S. Hong, and H. Oyamatsu, "4Gb perpendicular STT-MRAM with compact cell structure and beyond", IEEE International Magnetism Conference (INTERMAG Europe 2017), GA-05, Dublin Ireland, Apr. 2017.

共著国内学会・研究会発表

- [1] 北川英二, 吉川将寿, 永瀬俊彦, 大坊忠臣, 長嶺 真, 西山勝哉, 甲斐 正, 下村尚治, 中山昌彦, 岸 達也, 與田博明, 「 $L1_0$ -FePd を用いた垂直 MTJ における低電流磁化反転」, 第 70 回応用物理学会学術講演会, 10a-ZD-4, 富山大学, 2009 年 9 月 10 日.

- [2] 永瀬俊彦，西山勝哉，中山昌彦，吉川将寿，北川英二，大坊忠臣，長嶺真，岸達也，甲斐正，與田博明，「高 TMR 比垂直磁化方式トンネル接合」，第 33 回日本応用磁気学会学術講演会，14pA-5，長崎大学，2009 年 9 月 14 日．
- [3] 西山勝哉，永瀬俊彦，中山昌彦，天野 実，吉川将寿，甲斐 正，與田博明，「垂直磁化方式 TMR 素子の高 TMR 化」，第 70 回応用物理学会学術講演会，8a-ZD-7，金沢大学，2009 年 9 月 8 日．
- [4] 中山昌彦，久保田均，岸達也，甲斐正，相川尚徳，吉川将寿，池川純夫，與田博明，湯浅新治，安藤功兒，鈴木義茂，「Fe 系 L1₀ 規則合金を用いた垂直磁化 MTJ の低ダンピング定数」，第 33 回日本応用磁気学会学術講演会，長崎大学，2009 年 9 月 14 日．

謝辞

本研究論文を作成する機会を与えてくださり、また本論文をまとめるにあたり終始親切で丁寧な御指導と御鞭撻を賜りました、東北大学大学院 工学研究科 応用物理学専攻 安藤康夫 教授に心より篤く御礼申し上げます。

本論文をまとめるにあたり、終始活発に御議論させていただき、多くの御助言と御指導をいただきました、東北大学 材料科学高等研究所 水上成美 教授に心より御礼申し上げます。

本論文の研究内容を御討議させていただき、多くの御助言と御指導をいただきました、東北大学大学院 工学研究科 応用物理学専攻 佐久間昭正 教授、東北大学大学院 工学研究科 電子工学専攻 角田匡清 准教授に心より御礼申し上げます。

本研究を遂行するにあたり、企業における研究開発とは何かを御指導いただき、さらに本論文をまとめるにあたり適切な御助言と激励をいただきました、東芝メモリ株式会社 メモリ技術研究所 プロセス技術研究開発センター 與田博明 技監に心より御礼申し上げます。

本論文を提出することにご理解いただき、御協力と御指導をいただきました、東芝メモリ株式会社 メモリ技術研究所 デバイス技術研究開発センター デバイス技術開発第一部 大内和也 部長、東芝メモリ韓国社 メモリ開発部 親松尚人 部長に深く感謝致します。

本研究を遂行しまとめるにあたり、多くの御協力および有益な御意見をいただきました、東芝メモリ韓国社 メモリ開発部 岸達也 主幹、相川尚徳 主務、北川英二 主務、東芝メモリ株式会社 メモリ技術研究所 デバイス技術研究開発センター デバイス技術開発第一部 甲斐正 主幹、船山知己 参事、中山昌彦 参事、長嶺真 主務、西山勝哉 主務、同センター 新規メモリ開発部 上田知正 主幹、大坊忠臣 主任研究員、同研究所 プロセス技術研究開発センター プロセス技術開発第一部 永瀬俊彦 参事、株式会社東芝 研究開発センター バックエンドデバイス技術ラボラトリー 下村尚治 主任研究員に深く感謝致します。

なお、本研究で扱いました STT-MRAM の開発は NEDO「スピントロニクス不揮発性機能技術プロジェクト（2006 年度~2010 年度）」の一環として行われたものです。このプロジェクトのプロジェクトリーダーでありました、産業技術総合研究所 安藤功児 フェロー、ならびに、このプロジェクトにおける共同研究者でありました、産業技術総合研究所 ナノスピントロニクス研究センター 湯浅新治 研究センター長、福島章雄 副研究センター長、同研究センター金属スピントロニクスチーム 久保田均 チーム長、薬師寺啓 主任研究員、東北大学 材料科学高等研究所 宮崎照宣 教授、大阪大学大学院 基

礎工学研究科 鈴木義茂 教授，電気通信大学大学院 情報理工学研究科 仲谷栄伸 教授から多大なる御助言と御協力をいただき，議論させていただきました．心より御礼申し上げます．

本研究に関わる知的財産の特許化および特許調査についてお世話になりました，東芝メモリ株式会社 知的財産部 森山和歌子 氏，宮内達広 氏に心より深く感謝致します．

最後に，本研究は **MRAM** 開発に関係されていた多くの方々の多大なる御協力と御支援により遂行することができ，論文にまとめることが出来ました．この場をお借りして，これまで **MRAM** 開発に関わっていました全ての方々に心より御礼申し上げます．